
Elektronikpraktikum

BACHELOR OF SCIENCE IN PHYSIK

BERND POMPE
Institut für Physik der Universität Greifswald

Vorwort

Diese Broschüre enthält Versuchsanleitungen zum Elektronikpraktikum für den Studiengang BACHELOR OF SCIENCE IN PHYSIK an der Universität Greifswald. Das Praktikum führt in die Grundlagen analoger und digitaler Schaltungen der Elektronik ein. Dabei wird insbesondere auch Wert darauf gelegt, dass der Student den Umgang mit modernen Standardgeräten übt, vor allem Analog- und Digital-Oszilloskope, und Funktionsgeneratoren.

Das Praktikum wird im 4. Semester mit 3 Semesterwochenstunden (SWS) durchgeführt. Es baut auf Vorlesungen zur *Experimentalphysik II* (2. Sem.) (Elektrizitätslehre) sowie die physikalischen *Grundpraktika* (2. bis 4. Sem.) auf und findet parallel zur Vorlesung *Elektronik für Physiker* (4. Sem.) statt. Damit besitzen die Studenten bereits theoretische und praktische Vorkenntnisse auf den Gebieten Wechselstromkreise mit R-C-L-Gliedern, Gleichrichter, Dioden- und Transistoren sowie Grundkenntnisse zur linearen Systemtheorie. Darüber hinaus haben sie bereits Erfahrungen im Umgang mit Standardmessgeräten wie RCL-Messbrücken, Multimetern und Oszilloskopen.

Die Tabelle gibt einen Überblick zu den hier angebotenen Versuchen. Es werden drei Themenkomplexe abgehandelt: (i) Schaltungen mit Bipolar-Transistoren, (ii) Grundsicherungen mit Operationsverstärkern und (iii) digitale Grundsicherungen. Die Studenten können schließlich frei wählen zwischen den Versuchen 9.a), Aufbauversuch mit Lötkolben, und 9.b), Versuch mit Assemblerprogrammierung eines Microcontrollers.

Versuchsplan	#	h
1. Astabiler Multivibrator	3	
2. Schmitt-Trigger	3	
3. Operationsverstärker/Eigenschaften	3	
4. Operationsverstärker/Schaltungen I	3	
5. Operationsverstärker/Schaltungen II	3	
6. Logisches Gatter	3	
7. Kombinatorische Schaltungen	3	
8. Sequentielle Schaltungen	3	
9.a) Wien-Robinson-Oszillator (Aufbauversuch)	3 × 3	
9.b) Microcontroller (Assemblerprogrammierung)	3 × 3	

Als Versuchsvorbereitung dimensionieren die Studenten die Schaltungen selbständig. Die Aufbauten werden entweder auf speziell für den Schaltungstyp vorgefertigten Platinen mit Buchsen vorgenommen oder auf Aufbauplatinen mit Universal-Steckleisten. Damit wird ein Höchstmaß an Flexibilität erreicht, können doch dann die Bauelemente, wie ohmsche Widerstände, Kondensa-

toren und integrierte Schaltkreise (IC's) aus einem gewöhnlichen Bauelementesortiment entnommen und direkt in der Schaltung verwendet werden.

Praktikumsordnung

Betreuung

Für die fachliche Betreuung incl. Testate und Benotung steht ein Mitarbeiter bereit, d.i. der Praktikumsleiter oder eine seiner wiss. Hilfskräfte. Ein technischer Assistent sorgt für die Geräte- und Materialbereitstellung.

Gruppeneinteilung

Die Studenten arbeiten in der Regel in einer Arbeitsgruppe zu zweit an einem Messplatz. Beide Studenten einer Arbeitsgruppe fertigen ein gemeinsames Protokoll an. Aufbauversuche werden von einem jeden Studenten einzeln durchgeführt und protokolliert.

Protokoll

Für einen jeden Versuch gibt es Vorbereitungsaufgaben, die zu Hause zu lösen sind. Sie sind Bestandteil des Protokolls. Für eine jede Versuchsaufgabe ist folgende Gliederung einzuhalten:

1. Vorbereitung:

Schaltskizze mit Messpunkten, Dimensionierung mit Begründung

2. Durchführung:

Messergebnisse/Oszillogramme mit Angabe der verwendeten Messgeräte.

3. Auswertung:

Interpretation der Messergebnisse/Oszillogramme. Vergleich mit theoretischer Erwartung.

Die zur Verfügung gestellte Praktikumsanleitung führt in die theoretischen Grundlagen ein. Diese brauchen nicht im Protokoll wiederholt werden. Insbesondere sind Abschriften aus der Versuchsanleitung, dem Vorlesungsskript, Lehrbüchern u.ä. nicht erwünscht. Der Schwerpunkt des Protokolls liegt auf der Dimensionierung der Schaltungen mit rechnerisch nachvollziehbarer Begründung sowie auf der Interpretation der Messergebnisse/Oszillogramme. Die Darlegungen sollen sich auf das Wesentliche konzentrieren und selbständig formuliert werden. Sie können auch stichpunktartig sein. Die Protokolle können handschriftlich sein, es wird aber der Satz

mit \LaTeX empfohlen. Schaltskizzen können freihand gemacht werden. Oszillogramme werden vom verwendeten Oszilloskop als Datenfile (*.bmp) auf einen USB-Stick ausgegeben und können, möglicherweise konvertiert, in das Protokoll eingebunden werden. Es ist auf eine klare Darstellung der Messergebnisse und –auswertung zu achten (Tabellen, geeignete Graphiken). Dabei müssen immer klar erkennbar sein:

- Messbedingungen
- Unterscheidung der Messwerte von den daraus abgeleiteten Größen
- Maßeinheiten aller verwendeten Größen.

Die originalen, während des Versuchs angefertigten Aufzeichnungen sind dem Protokoll beizufügen. Die Auswertung der Messungen erfolgt zu Hause und vervollständigt das Protokoll.

Von den zu einem Versuchstag angegebenen Versuchsaufgaben sind zumindest $3/4$ aller Aufgaben abzuarbeiten. (Bei 3, 5, 6, 7, 13 Versuchsaufgaben sind dies 3, 4, 5, 6 bzw. 10 Aufgaben.)

Benotung

Der wissenschaftliche Betreuer wird in der Regel unmittelbar vor der Versuchsdurchführung die Vorbereitung des Praktikanten in einem Vortestat prüfen. Dies geschieht in einem Gespräch mit möglicherweise mehreren Versuchsgruppen. Wird ein Vortestat nicht bestanden, so wird der Student nicht zum Versuch zugelassen und der Versuch als *nicht ausreichend* gewertet.

Die Protokolle werden vom wissenschaftliche Betreuer benotet. Eine ausführliche Testierung zum Protokoll erfolgt jedoch nicht. Gegebenenfalls werden nach der Benotung noch einige Hinweise gegeben. Der Betreuungsschwerpunkt liegt in einer Hilfestellung während der Durchführung der Experimente.

In den Vortestaten können die Studenten einer Arbeitsgruppe unterschiedliche Noten bekommen, während die Protokollbenotung für beide Studenten einer Arbeitsgruppe einheitlich ist.

Die Noten werden in einem Notenspiegel eingetragen. Zur Gesamtbewertung werden zunächst jeweils die arithmetischen Mittel von den Protokoll- bzw. den Vortestatnoten gebildet. Aus diesen Teilnoten wird dann die Gesamtnote durch gewichtete Mittelung gebildet, mit dem Gewicht $2/3$ für die Protokolle und $1/3$ für die Vortestate. Schließlich werden die Noten gerundet auf 1,0; 1,3; (sehr gut), 1,7; 2,0; 2,3; (gut), 2,7; 3,0; 3,3; (befriedigend), 3,7; 4,0; (ausreichend), 5,0 (nicht ausreichend).

Umgang mit Geräten

Die Geräte sind mit der gebührenden Sorgfalt zu behandeln, um Beschädigungen oder Verschmutzungen zu vermeiden. Insbesondere ist in den Praktikumsräumen der Verzehr von Lebensmitteln untersagt. Der Defekt eines Gerätes ist dem technischen Assistenten mitzuteilen. Der

eigenmächtige Austausch von Geräten zwischen den Arbeitsgruppen oder mit Geräten aus dem Fundus ist nicht gestattet.

Arbeitsschutz

Aufgebaute Schaltungen werden in der Regel vor der Inbetriebnahme, also vor dem Anlegen der Betriebsspannungen, vom wissenschaftlichen Assistenten kontrolliert. Besondere Vorsicht ist erforderlich bei der Benutzung von Netzspannungen ($230V_{\text{eff}}$). Die dauernd zulässige Berührungsspannung beträgt 50 Volt für Wechsel- und 120 Volt für Gleichspannung.

Grundsätzlich ist jeder spürbare Kontakt mit spannungsführenden Teilen oder der Defekt eines Gerätes dem wissenschaftlichen Betreuer oder dem technischen Assistenten unverzüglich mitzuteilen. Dieselbe Mitteilungspflicht besteht bei allen anderen Verletzungen, wie zum Beispiel bei Verbrennungen mit dem Lötkolben oder Hautkontakt mit der Ätzflüssigkeit im Leiterplattenätzbad.

Verlassen des Praktikums

Vor dem Verlassen des Praktikums ist der Messplatz aufzuräumen, zusätzlich ausgeteilte Geräte zurückzugeben sowie das Messprotokoll dem wissenschaftlichen Betreuer vorzulegen.

Greifswald, 3. Mai 2017

B. Pompe

Inhaltsverzeichnis

I	Kippschaltungen mit Bipolartransistoren	7
1	Astabiler Multivibrator	9
1.1	Grundlagen	9
1.2	Versuchsdurchführung	10
2	Schmitt-Trigger	13
2.1	Grundlagen	13
2.2	Versuchsdurchführung	14
II	Schaltungen mit Operationsverstärkern	17
3	Operationsverstärker	19
3.1	Eigenschaften	19
3.2	Grundsaltungen mit Operationsverstärkern	23
3.3	Versuchsdurchführung	28
4	Wien-Robinson-Oszillator (Aufbauversuch)	31
4.1	Wien-Robinson-Brücke	31
4.2	Wien-Robinson-Oszillator	32
4.3	Versuchsdurchführung	33
III	Digitale Schaltungen	35
5	Logisches Gatter	39
5.1	Grundlagen	39
5.2	Versuchsdurchführung	43
6	Kombinatorische Schaltungen	45
6.1	Grundsaltungen	45
6.2	Versuchsdurchführung	46
7	Sequentielle Schaltungen	49
7.1	Grundsaltungen	49
7.2	Versuchsdurchführung	53
8	Microcontroller	55
8.1	Grundlagen	55
8.2	Hinweise zur Versuchsdurchführung	55
8.3	Steuerung eines Servo-Motors	56
8.4	Taktgenerator	57
IV	Anhänge	59
9	Bauelemente	61
9.1	Ohmscher Widerstand	61

9.2	Kondensatoren	64
9.3	Aktive Bauelemente	66
10	Geräte	81
10.1	Dreifach–Stromversorgungsgerät PS 280 (Tektronik)	82
10.2	Digitalmultimeter VC 920 (Voltcraft)	82
10.3	Digitalspeicher– und Analogoszilloskop HM1508–2 (HAMEG Instruments)	84
10.4	Funktionsgenerator (Arbitrary Function Generator) AFG 3022B (Tektronix)	84
11	Elemente der Aussagenlogik	85
11.1	Logische Funktionen	85
11.2	Rechnen mit logischen Variablen	86
11.3	Normalformen	87
11.4	Karnaugh–Tafeln	87

Teil I

Kippschaltungen mit Bipolartransistoren

Kapitel 1

Astabiler Multivibrator

1.1 Grundlagen

Astabile Multivibratoren (AMV) dienen der Erzeugung von Rechteckschwingungen, wobei die Schwingungsperiode und das Tastverhältnis in gewissen Bereichen beliebig gewählt werden können. Abbildung 1.1 zeigt einen AMV mit zwei gekoppelten npn-Transistoren.

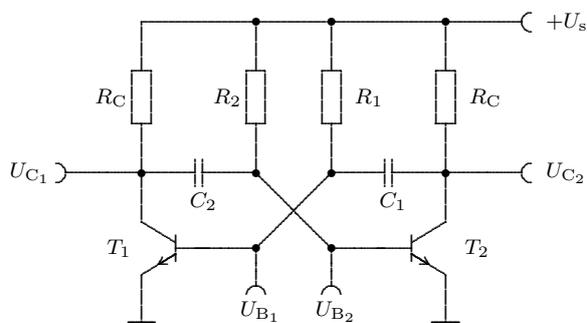


Abb. 1.1: Standardschaltung eines astabilen Multivibrators

Der zeitliche Verlauf der Kollektor- und Basisspannungen beider Transistoren ist in Abb. 1.2 dargestellt. Zur Erklärung des Zeitverhaltens gehen wir davon aus, dass zunächst T_1 sperrt und T_2 leitet (Zeitpunkt t_0). Die Kollektorspannung U_{C1} von T_1 liegt dann bei der Betriebsspannung $+U_s$ und die von T_2 ist nur geringfügig größer als null. Das kann aber kein Dauerzustand sein, denn über den Widerstand R_1 liegt die Basis von T_1 an der Betriebsspannung. Deshalb verhält sich die Basisspannung U_{B1} zunächst so, als würde sie exponentiell gegen $+U_s$ streben. Hierbei muss neben parasitären Kapazitäten¹⁾ vor allem der Kondensator C_1 umgeladen werden. Die zugehörige Zeitkonstante ist in erster Näherung durch

$$\tau_1 \approx R_1 C_1 \quad (1.1)$$

gegeben. Allerdings wird der Umladevorgang abgebrochen, wenn T_1 zu leiten beginnt, wenn also U_{B1} die Schwellspannung U_{BEsch} des Transistors erreicht, so

¹⁾ Bei Silizium-Kleinsignal-Transistoren beträgt die Kollektor-Basis-Kapazität etwa 3pF und die Emittter-Basis-Kapazität etwa 8pF.

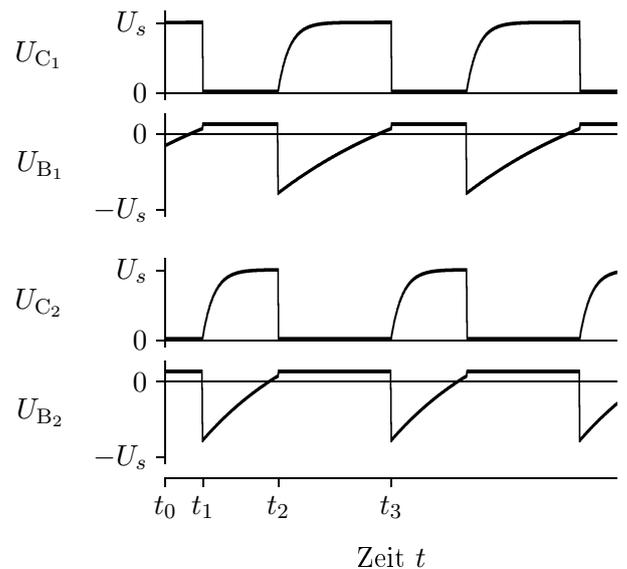


Abb. 1.2: Phasensynchrone Spannungsverläufe beim astabilen Multivibrator

dass ein Basisstrom I_{B1} fließen kann²⁾). Auf diese Weise wird ein Kippvorgang eingeleitet, der damit abschließt, dass T_1 leitet und T_2 sperrt.

Zur Erläuterung des Kippvorgangs gehen wir von einem kleinen Stromsprung an der Basis von T_1 aus. Dieser bewirkt eine Zunahme des Kollektorstroms und somit einen Spannungssprung, der über den Kondensator C_2 als negativer Spannungssprung auf die Basis von T_2 übertragen wird. Wenn sich der Transistor T_2 vorher nicht zu stark in Sättigung befand, nimmt nun sein Basisstrom I_{B2} ab. Daraus folgt ein positiver Spannungssprung an seinem Kollektor, der über C_1 an die Basis von T_1 rückgekoppelt wird, wodurch I_{B1} weiter steigt. Der beschriebene Vorgang schaukelt sich lawinenartig auf und bewirkt schließlich den Kippvorgang. Dabei sinkt die Kollektorspannung U_{C1} vom Ausgangswert (etwa $+U_s$) auf die Kollektor-Emitter-Restspannung U_{CEsat} von nahezu null.³⁾ Der negative Spannungssprung hat einen Betrag von ungefähr der Betriebsspannung U_s und wird auf die Basis von T_2 übertragen. Er addiert sich zum

²⁾ Bei Silizium-pn-Übergängen liegt die Schwellspannung im Bereich von 0,4...0,6V.

³⁾ $U_{CEsat} = 0,02 \dots 0,20V$ bei Siliziumtransistoren.

Basispotential $U_{\text{BEsat}} \approx 0$ des zunächst (vor dem Kippen) in Sättigung befindlichen Transistors T_2 .⁴⁾ Folglich misst man an seiner Basis unmittelbar nach dem Kippvorgang die Spannung $U_{\text{BEsat}} - U_s \approx -U_s$.

Das Kollektorpotential von T_2 liegt nicht sofort bei $+U_s$, weil sich unmittelbar nach dem Kippen der kollektorseitige Belag von C_1 über den Kollektorwiderstand R_C von T_2 erst umladen muss. Dies geschieht mit der Zeitkonstanten

$$\tau_2^* \approx R_C C_1 . \quad (1.2)$$

Der Spannungsverlauf an der Basis von T_2 ist nach dem Kippvorgang durch die Umladung des basisseitigen Belages von C_2 über R_2 bestimmt. Die Spannung U_{B_2} verläuft so, als würde sie von etwa $-U_s$ zur Zeit t_1 nach $+U_s$ für $t \rightarrow \infty$ streben. Der Umladevorgang wird aber abgebrochen, wenn U_{B_2} zum Zeitpunkt t_2 die Schwellspannung U_{BEsch} erreicht. Dann beginnt T_2 zu leiten und die Schaltung kippt in den Ausgangszustand zurück. Wegen des symmetrischen Aufbaus der Schaltung laufen hierbei die Prozesse vollkommen analog zum bereits beschriebenen Kippvorgang bei t_1 ab. Das abwechselnde Hin- und Herkippen bedeutet, dass die Schaltung schwingt.

Der Umladevorgang an C_2 ist zwischen den Zeitpunkten t_1 und t_2 näherungsweise durch die Gleichung

$$U_{\text{B}_2}(t) \approx U_s \left(1 - 2e^{-\frac{t-t_1}{\tau_2}} \right) \quad (1.3)$$

beschrieben, mit der Zeitkonstanten

$$\tau_2 = R_2 C_2 . \quad (1.4)$$

Zum Zeitpunkt t_2 des Rückkippens gilt $U_{\text{B}_2}(t_2) \approx 0$. Geht man hiermit in (1.3) ein, so folgt

$$t_2 - t_1 \approx \tau_2 \ln 2 .$$

Eine entsprechende Überlegung für den Umladevorgang an C_1 führt zu

$$t_3 - t_2 \approx \tau_1 \ln 2 ,$$

wobei die Zeitkonstante τ_1 durch (1.1) gegeben ist. Für die Frequenz des Multivibrators folgt somit

$$f \equiv \frac{1}{t_3 - t_1} \approx \frac{1}{(\tau_1 + \tau_2) \ln 2} . \quad (1.5)$$

Das Tastverhältnis ergibt sich zu

$$T_V \equiv \frac{t_2 - t_1}{t_3 - t_1} \approx \frac{\tau_2}{\tau_1 + \tau_2} . \quad (1.6)$$

Bei der Dimensionierung der Widerstände R_1 und R_2 ist zu beachten, dass ein jeder kleiner als βR_C ist⁵⁾, damit die Transistoren im durchgesteuerten Zustand in Sättigung gelangen.

⁴⁾ $U_{\text{BEsat}} = 0,4 \dots 0,8\text{V}$ bei Siliziumtransistoren.

⁵⁾ Bei üblichen Siliziumtransistoren gilt für die Stromverstärkung $\beta = 100 \dots 300$.

Eine Versteilerung der Vorderflanke der Rechteckimpulse kann durch einen Basisvorwiderstand R_B erreicht werden, wie er in der Versuchsschaltung von Abb. 1.3 vorgesehen ist. Eine weitere Verbesserung der Signalform wird durch die Amplitudenbegrenzung des Ausgangssignals $U_{\text{C}_2}(t)$ mit einer Zener-Diode D_Z erreicht. (Literaturempfehlungen: [8, 12, 7])

1.2 Versuchsdurchführung

Aufgaben zur Vorbereitung

1. Korrigieren Sie Gl. (1.5) für den Fall, dass U_{CEsat} , U_{BEsat} sowie die Schwellspannung $U_{\text{BEschwell}}$ jeweils größer als null sind.
2. Wie kann die Steilheit der Rechteckimpulsfolge des Multivibrators erhöht werden?
3. Dimensionieren Sie die Versuchsschaltung in Abb. 1.3 für die Frequenz $f \approx 5\text{kHz}$ und das Tastverhältnis $T_V \approx 1 : 2$. Verwenden Sie den Transistor SF126 (oder SF129) und die Zener-Diode SZX21/5,1 (s. Datenblätter).

Versuchsaufgaben

Bauen Sie den AMV zunächst nach Abb. 1.1 auf.

1. Bauen Sie die Schaltung auf wie in Abb. 1.1. Oszillographieren Sie die Kollektor- und Basisspannungen und stellen Sie die Signale phasensynchron dar (wie in Abb. 1.2).
2. Bauen Sie die Schaltung auf wie in Abb. 1.1. Messen Sie U_{CEsat} und U_{BEsat} beider Transistoren.
3. Bauen Sie die Schaltung auf wie in Abb. 1.3. Oszillographieren Sie zeitgleich die Kollektorspannung U_{C_2} und die Ausgangsspannung U_a bei Verwendung von Basisvorwiderständen R_B und Zener-Diode (Aufbau nach Abb. 1.3). Erläutern Sie den Einfluss dieser Widerstände auf die Vorderflanke der Rechteckimpulse.
4. Bauen Sie die Schaltung auf wie in Abb. 1.1. Ermitteln Sie die Abhängigkeit der Schwingungsfrequenz f von der Betriebsspannung $U_s = 5 \dots 15\text{V}$. Vergleichen Sie die Messwerte mit der Berechnung in Vorbereitungsaufgabe 1.

Geräte

Geräteart	Typ	Anzahl
Versuchsplatine	<i>Astabiler Multivibrator</i>	1
Stromversorgung	PS 280	1
Oszilloskop	MAMEG HM 1508-2	1
Multimeter	VOLTCRAFTplus VC 920	2

Versuchsschaltung

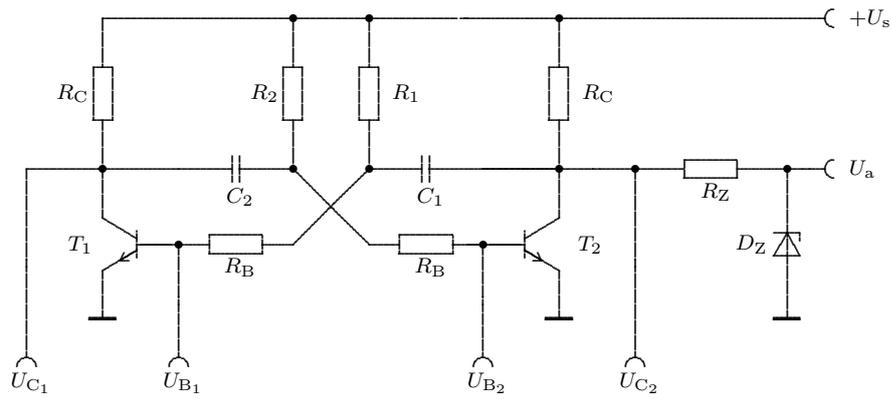


Abb. 1.3: Versuchsschaltung des astabilen Multivibrators

Kapitel 2

Schmitt-Trigger

2.1 Grundlagen

Schmitt-Trigger (ST) sind Schwellwertschalter, bei denen die Schaltpegel U_+ und U_- für das Ein- bzw. Ausschalten nicht zusammenfallen. Die *Hysteresis* ist der Betrag der Spannungsdifferenz $U_+ - U_-$. Die Schaltvorgänge laufen äußerst schnell ab, so dass ST z. B. bei der Flankenversteilerung von Rechteckimpulsfolgen eingesetzt werden.

Abbildung 2.1 zeigt einen ST, der durch zwei gekoppelte NPN-Transistoren realisiert ist. Die zugehörigen

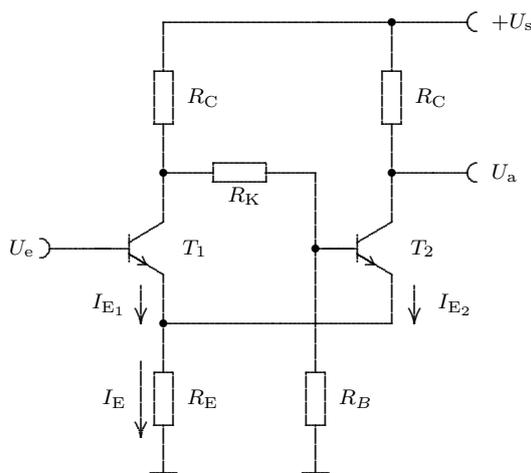


Abb. 2.1: Standardschaltung eines Schmitt-Triggers

zeitsynchronen Spannungsdiagramme sind in Abb. 2.2 dargestellt.

Im Grundzustand liegt am Ausgang das Low-Potential U_L . Überschreitet die Eingangsspannung einen bestimmten Schwellwert U_+ , so wird der ST gesetzt, so dass am Ausgang High-Potential U_H anliegt. Bei Unterschreitung der Schwelle $U_- < U_+$ wird der ST zurückgesetzt.

Zur genaueren Beschreibung der Kippvorgänge nehmen wir zunächst an, dass U_e klein genug ist, so dass T_1 sperrt (Anfangszeitpunkt im Diagramm). Über den Spannungsteiler R_K/R_B wird dann T_2 durchgesteuert,

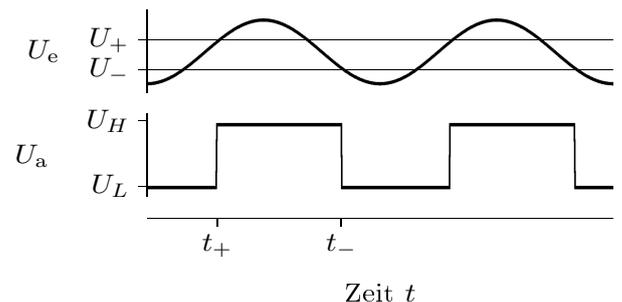


Abb. 2.2: Ein- und Ausgangsspannung U_e bzw. U_a beim Schmitt-Trigger

so dass am Ausgang das Low-Potential

$$U_L = \frac{R_E}{R_C + R_E}(U_s - U_{CEsat}) + U_{CEsat}$$

$$\approx \frac{R_E}{R_C + R_E}U_s$$

anliegt.¹⁾ Nahezu dieselbe Spannung

$$U_E = U_L - U_{CEsat}$$

fällt über dem gemeinsamen Emittterwiderstand R_E ab.

Wird nun die Eingangsspannung U_e erhöht, so beginnt T_1 bei

$$U_e \gtrsim U_E + U_{BEschwell}$$

zu leiten,²⁾ es fließt somit ein Emittterstrom I_{E1} bzw. Kollektorstrom $I_{C1} \approx I_{E1}$. Über den Spannungsteiler R_K/R_B wird dann der Basisstrom von T_2 und somit auch sein Kollektorstrom bzw. Emittterstrom I_{E2} verringert. Am gemeinsamen Emittterwiderstand R_E überlagern sich nun zwei entgegengesetzte Tendenzen: I_{E1} nimmt zu und I_{E2} ab. Für den Spannungsabfall $U_E = R_E I_E$ über R_E ist der Gesamtstrom $I_E = I_{E1} + I_{E2}$ verantwortlich. Solange der Gesamtstrom I_E zunimmt ist die Lage stabil. Überschreitet U_e aber die Kippschwelle U_+ , so nimmt I_{E2} stärker ab als I_{E1} zu. Folglich werden insgesamt I_E und damit auch U_E kleiner. Die Basis-Emittterspannung $U_{BE1} = U_e - U_E$ von T_1 wächst hierbei lawinenartig an, selbst dann, wenn die Eingangsspannung U_e nicht weiter erhöht wird. Der ST kippt

¹⁾ Bei Siliziumtransistoren gilt $U_{CEsat} = 0,05 \dots 0,20V$.

²⁾ $U_{BEschwell} = 0,5 \dots 0,6V$ bei Silizium-pn-Übergängen.

also rasch in den gesetzten Zustand, in welchem T_1 leitet und T_2 sperrt (Zeitpunkt t_+ im Diagramm). Für die Ausgangsspannung U_a erhalten wir dann $U_H \approx U_s$.

Die Lage ist stabil, solange U_e nicht die Schwelle

$$U_- \lesssim U_E + U_{BEsat}$$

unterschreitet.³⁾ Für $U_e \lesssim U_-$ laufen die Vorgänge nunmehr umgekehrt ab. Hier nimmt I_{E2} stärker zu als I_{E1} ab, so dass der ST wieder rasch in die Ausgangslage zurückkippt (Zeitpunkt t_- im Diagramm).

Bei richtiger Dimensionierung werden die Transistoren in den stabilen Zuständen mehr oder weniger stark übersteuert wodurch die Hysterese entsprechend größer oder kleiner gewählt werden kann. Die Hysterese kann aber auch dadurch gering gehalten werden, dass man R_E kleiner wählt.

In der Versuchsschaltung von Abb. 2.3 ist zusätzlich zur Grundsaltung der Widerstand R_K mit einem Kondensator überbrückt, wodurch die Spannungssprünge am Kollektor von T_1 in den Sprungphasen direkt auf die Basis von T_2 gekoppelt werden und somit eine Beschleunigung der Kippvorgänge (Flankenversteilerung) erreicht wird.

Darüber hinaus enthält die Versuchsschaltung am Eingang einen verstellbaren ohmschen Spannungsteiler, mit dem eine Basisvorspannung für T_1 eingestellt werden kann und somit eine Verschiebung der Schaltschwellen U_+ bzw. U_- erreicht wird. Die Hysterese wird hierdurch nicht beeinflusst. Der Eingangskondensator C_e sorgt für die Gleichstromkopplung von der Signalquelle U_e . (Literaturempfehlungen: [8, 12, 7])

2.2 Versuchsdurchführung

Aufgaben zur Vorbereitung

1. Wo werden Schmitt-Trigger eingesetzt?
2. Wodurch wird die Hysterese des ST in Abb. 2.1 bestimmt? Wie kann die Kippzeit des ST verringert werden?
3. Dimensionieren Sie die Versuchsschaltung in Abb. 2.3 bei Verwendung des Transistortyps SF126 oder SF129 (s. Datenblätter).

Versuchsaufgaben

1. Bauen Sie die Schaltung auf wie in Abb. 2.1. Messen Sie die statische Ein/Aus-Charakteristik (U_a als Funktion von U_e) für die Fälle $U_e \uparrow U_+$ und $U_e \downarrow U_-$. Ermitteln Sie die Hysterese.
2. Bauen Sie die Schaltung auf wie in Abb. 2.1. Messen Sie die Kippspannungen U_+ sowie U_- in Abhängigkeit von der Betriebsspannung $U_s = 5 \dots 15V$.

3. Bauen Sie die Schaltung auf wie in Abb. 2.3, aber ohne den Kondensator C . Steuern Sie den ST mit einem Sinus-Signal von 1kHz an und ermitteln Sie seine kleinste Amplitude, bei welcher der ST am Ausgang gerade noch eine Rechteckimpulsfolge erzeugt. Dazu ist mit R_2 ein geeigneter Arbeitspunkt einzustellen. Bestimmen Sie bei diesem Arbeitspunkt das Tastverhältnis des Ausgangssignals in Abhängigkeit von der Amplitude des Sinus-Signals.
4. Bauen Sie die Schaltung auf wie in Abb. 2.3, aber ohne den Kondensator C . Oszillographieren Sie beim Arbeitspunkt der vorherigen Aufgabe sowie bei einer Amplitude, die einem Tastverhältnis von ca. 1:2 entspricht, die Spannungsverläufe $U_e(t)$, $U_B(t)$ sowie $U_a(t)$. Stellen Sie die Kurven phasensynchron graphisch dar.
5. Bauen Sie die Schaltung auf wie in Abb. 2.3, zunächst ohne den Kondensator C . Stellen Sie den Arbeitspunkt wie in der vorletzten Aufgabe ein. Wählen Sie die Amplitude des Sinussignals etwa 2 bis 3-mal so groß wie die Hysterese.

Ermitteln Sie nun die größte Frequenz f_g des erregenden Sinus-Signals, bei welcher am Ausgang des ST noch eine Rechteckimpulsfolge erhalten wird.

Messen Sie bei der gerade ermittelten Grenzfrequenz f_g die Sprungdauern ΔT_+ und ΔT_- der Vorder- bzw. Rückflanke der Rechteckimpulsfolge.

Wiederholen Sie die letztere Messung bei Verwendung des Kondensators C .

Geräte

Geräteart	Typ	Anzahl
Versuchsplatine	Schmitt-Trigger	1
Stromversorgung	PS 280	1
Oszilloskop	MAMEG HM 1508-2	1
Funktionsgenerator	Textronix AFG 3022B	1
Multimeter	VOLTCRAFTplus VC 920	2

³⁾ $U_{BEsat} = 0,4 \dots 0,8V$ bei Siliziumtransistoren.

Versuchsschaltung

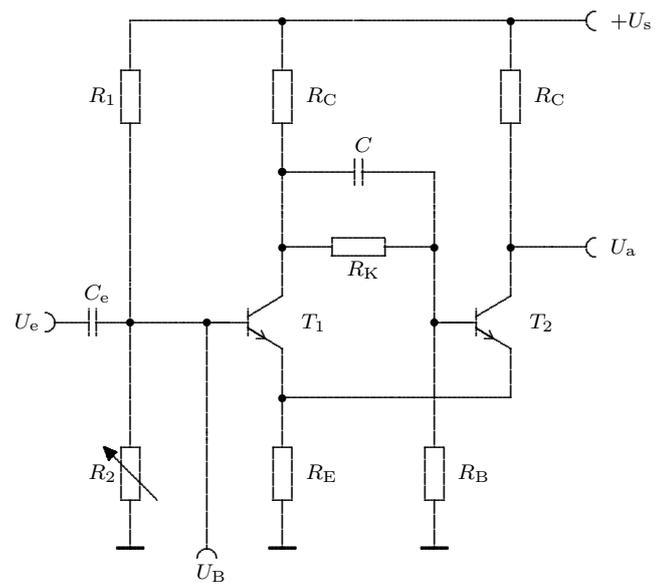


Abb. 2.3: Versuchsschaltung des Schmitt-Triggers

Teil II

Schaltungen mit Operationsverstärkern

Kapitel 3

Operationsverstärker

Operationsverstärker (OPV) dienen der Spannungs- oder Leistungsverstärkung. Durch ihre vielseitigen Anwendungsmöglichkeiten und niedrigen Preise sind sie aus der heutigen analogen Schaltungstechnik nicht mehr wegzudenken. Zumeist sind sie integriert aufgebaut, so dass der innere Aufbau fest vorgegeben ist. Allerdings kann durch die frei wählbare äußere Beschaltung eine Vielzahl verschiedener Schaltungen realisiert werden, so z.B. zur Addition von Spannungssignalen, zu deren Differentiation oder auch Integration. Die Ausführung solcher *Operationen* in Analogrechnern war eines der ersten Einsatzgebiete dieser Verstärker und hat ihnen den Namen gegeben. Operationsverstärker sind in der Eingangsstufe als Differenzverstärker ausgelegt. Dem Anwendungsgebiet entsprechend kann zwischen einer Vielzahl von Typen verschiedener Hersteller ausgewählt werden. (Generelle Literaturempfehlungen: [12, 5, 2].)

3.1 Eigenschaften

Abbildung 3.1 zeigt das Schaltsymbol eines OPV (nach aktueller DIN). Alle Spannungen beziehen sich auf das

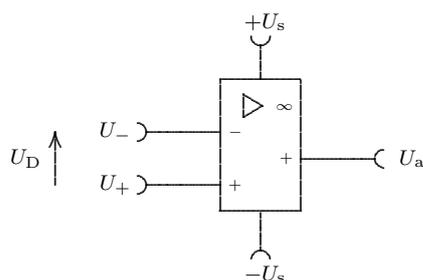


Abb. 3.1: Schaltsymbol eines Operationsverstärker (Darstellungen in Dreiecksform sind auch üblich.)

nicht eingezeichnete Massepotential. Der OPV hat zwei Eingänge, den *invertieren* und den *nichtinvertierenden* Eingang „-“ bzw. „+“. Die Ausgangsspannung U_a hängt nur von der Differenz-Eingangsspannung

$$U_D \equiv U_+ - U_- \quad (3.1)$$

ab. Als Speisespannung wird zumeist ein positives und negatives Potential $+U_s$ bzw. $-U_s$ verwandt¹⁾. Zur besseren Übersicht werden die Speisespannungen in der Regel nicht eingezeichnet. Das Zeichen ∞ kennzeichnet den *idealen* OPV, der die folgenden fiktiven Eigenschaften hat:

1. Die *Differenzverstärkung*²⁾

$$A_D \equiv \frac{U_a}{U_D} \quad (3.2)$$

ist frequenzunabhängig und unendlich groß.

2. Die Eingangswiderstände sind unendlich.
3. Der Ausgangswiderstand ist null.

Die erste Eigenschaft bedeutet u.a., dass der ideale OPV eine unendliche Bandbreite hat. Die Unendlichkeit der Verstärkung hat zur Folge, dass die Funktionsweise eines idealen OPV allein durch seine äußere Beschaltung (Rückkopplung) bestimmt werden kann, was weiter unten noch genauer ausgeführt wird. Beim realen OPV gilt immerhin noch $A_D = 10^4 \dots 10^7$, vorausgesetzt, der OPV wird nicht übersteuert³⁾ und die Frequenz des Eingangssignals ist nicht zu groß ($\lesssim 50\text{Hz}$).

Die zweite Eigenschaft bedeutet, dass der ideale OPV leistungsfrei angesteuert werden kann und somit die ansteuernde Spannungsquelle nicht belastet wird. Die Verhältnisse am Ein- und Ausgang eines realen OPV werden durch das Ersatzschaltbild in Abb. 3.2 beschrieben. Der Differenzeingangswiderstand r_D liegt bei $10^6 \Omega$ oder $10^{12} \Omega$, je nachdem, ob in der Eingangsstufe Bipolar- oder Feldeffekttransistoren verwendet werden.⁴⁾ Die Gleichtakteingangswiderstände r_G liegen bei $10^9 \Omega$ bzw. $10^{15} \Omega$.

Schließlich bedeutet die dritte Eigenschaft, dass der ideale OPV am Ausgang niederohmig belastet werden kann, ohne dass U_a „zusammenbricht“. Ein realer OPV hat einen Ausgangswiderstand r_a von $30 \dots 1000 \Omega$.

¹⁾ Typische Werte sind $U_s = 10 \dots 15 \text{ V}$.

²⁾ Sie wird auch *Leerlaufverstärkung* (*open loop gain*) genannt.

³⁾ Die Aussteuerbarkeit der Ausgangsspannung U_a liegt im Bereich von $(-U_s + 3\text{V}) \dots (+U_s - 3\text{V})$.

⁴⁾ Der hier verwendete OPV vom Typ LF356N hat Feldeffekttransistoren in der Eingangsstufe.

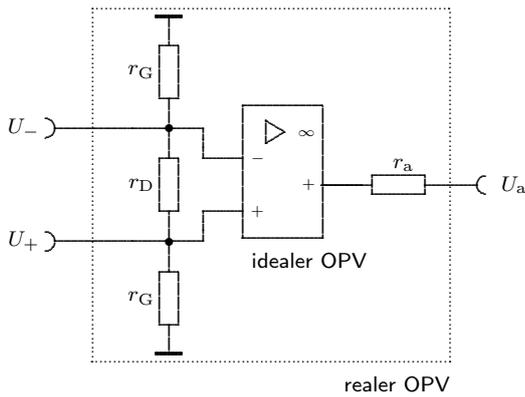


Abb. 3.2: Ersatzschaltbild für die Ein- und Ausgangsstufe eines realen Operationsverstärkers, mit den differentiellen Gleichtakt- und Differenz-Eingangswiderständen r_G bzw. r_D sowie dem differentiellen Ausgangswiderstand r_a

Für viele Anwendungen sind die Unterschiede zwischen einem realen und idealen OPV in erster Näherung vernachlässigbar, so dass bei der Dimensionierung einer Schaltung zunächst vom idealen OPV ausgegangen werden kann. Verschiedene Kenngrößen charakterisieren die Abweichungen eines realen OPV vom idealen, einige werden im folgenden erläutert.

Gleichtaktunterdrückung

Legt man an die beiden Eingänge eines idealen OPV die gleiche Spannung U_G , so gilt für die Spannungsdifferenz $U_D = 0$ und nach (3.2) verschwindet dann auch die Ausgangsspannung U_a , unabhängig davon, wie groß U_G ist. Beim realen OPV ändert sich jedoch U_a in Abhängigkeit von der *Gleichtakteingangsspannung* U_G , was durch die *Gleichtaktverstärkung*

$$A_G \equiv \frac{\Delta U_a}{\Delta U_G} \quad (3.3)$$

beschrieben wird. Im Idealfall wäre $A_G = 0$. Mit der *Gleichtaktunterdrückung*

$$G \equiv \frac{A_D}{A_G} \quad (3.4)$$

wird die Gleichtaktverstärkung in Relation zur Differenzverstärkung (3.2) gesetzt. Im Idealfall wäre $G = \infty$. Typische Werte für reale OPV sind $G = 10^4 \dots 10^5$.

Eingangsfehlspeisung

Wie wir bereits erwähnten, verschwindet beim realen OPV mit der Differenzeingangsspannung U_D i. allg. nicht auch die Spannung U_a am unbelasteten Ausgang, was eine Abweichung vom idealisierten Zusammenhang (3.2) bedeutet. Realistischer ist hingegen der Ansatz

$$U_a = A_D(U_D - U_O),$$

wobei U_O die sogenannte *Eingangsfehlspeisung* oder auch *Eingangs-Offset-Spannung* (*input offset voltage*) bezeichnet. Für $U_D = U_O$ verschwindet die Ausgangsspannung. U_O beträgt in der Regel einige mV und kann bei vielen Anwendungen vernachlässigt werden.⁵⁾ Im allgemeinen ändert sich die Eingangsfehlspeisung in Abhängigkeit von der Temperatur ($3 \dots 10 \mu\text{V/K}$), der Betriebsspannung ($10 \dots 100 \mu\text{V/V}$) sowie der Zeit (einige $\mu\text{V/Monat}$). Bei OPV mit FET-Eingängen ist die Eingangsfehlspeisung im Vergleich zu solchen mit bipolarer Eingangsstufe relativ instabil (z. B. bis zu $100 \mu\text{V/K}$).

Eingangsruhestrom

Unter den *Eingangsruhestromen* I_{b-} und I_{b+} versteht man die Gleichkomponente der Ströme in den invertierenden bzw. nichtinvertierenden Eingang des OPV, die bei einer verschwindenden Gleichakteingangsspannung am unbelasteten Ausgang die Spannung null erzeugen. Beim idealen OPV sind diese Fehlerströme null, während sie beim realen OPV zwar von null verschieden, aber nahezu gleich groß sind. Dennoch führt man zum einen den Mittelwert

$$I_b = \frac{I_{b-} + I_{b+}}{2} \quad (3.5)$$

ein, der auch schlechthin *Eingangsruhestrom* (*average bias current*) heisst, und zum anderen die Differenz

$$I_O = |I_{b-} - I_{b+}|,$$

welche *Eingangsfehlspeisstrom* oder auch *Eingangs-Offset-Strom* (*input offset current*) heisst⁶⁾.

Frequenzgang

Beim realen OPV ist die Differenzverstärkung (3.2) nicht nur endlich, vielmehr hängt sie auch von der Frequenz ab. Das betrifft sowohl den Betrag der Differenzverstärkung wie auch die Phasenverschiebung zwischen Ein- und Ausgangsspannung U_D bzw. U_a . Ist das Eingangssignal z. B. harmonisch (cosinus-förmig) mit der Kreisfrequenz ω , also $U_D = \hat{U}_D \cos \omega t$, so ergibt sich die Ausgangsspannung

$$U_a = |A_D| \hat{U}_D \cos(\omega t + \varphi).$$

Hierin sind $|A_D| = |A_D|(\omega)$ der Betrag der Differenzverstärkung und $\varphi = \varphi(\omega)$ die Phasenverschiebung zwischen U_D und U_a , jeweils in Abhängigkeit von der Kreisfrequenz ω . In komplexer Schreibweise kann man hierfür auch

$$U_a = A_D U_D$$

⁵⁾ Der OPV LF356N hat zwei Anschlüsse zur Offsetkompensation (Nullabgleich, s. Datenblatt).

⁶⁾ In der Regel gilt $I_O = 10^{-9} \dots 10^{-6}$ A. Einige OPV mit FET-Eingängen erreichen sogar um 10^{-11} A. Generell macht I_O etwa 5...10 % vom Eingangsruhestrom I_b aus.

schreiben, mit

$$\begin{aligned} A_D &= |A_D| e^{j\varphi} \quad \text{und} \quad (3.6) \\ U_D &= \hat{U}_D e^{j\omega t} . \end{aligned}$$

Ein OPV kann in guter Näherung als Tiefpass erster Ordnung angesehen werden, so dass

$$A_D(\omega) = \frac{A_0}{1 + j\frac{\omega}{\omega_g}} \quad (3.7)$$

angesetzt wird. Überführt man diesen Ausdruck in die eulersche Schreibweise (3.6), so liefert der Koeffizientenvergleich den Amplitudenfrequenzgang

$$|A_D|(\omega) = \frac{A_0}{\sqrt{1 + \left(\frac{\omega}{\omega_g}\right)^2}} \quad (3.8)$$

sowie den Phasenfrequenzgang

$$\varphi(\omega) = -\arctan \frac{\omega}{\omega_g} . \quad (3.9)$$

Hierbei sind $A_0 \equiv |A_D|(0)$ die Differenzverstärkung bei niedrigen Frequenzen (streng genommen bei Gleichspannung) und $f_g \equiv \omega_g/(2\pi)$ die *Grenzfrequenz*, bei welcher der Betrag der Verstärkung auf das $(1/\sqrt{2} \approx 0,71)$ -fache von A_0 abgesunken ist⁷⁾. Die Phasenverschiebung ist hier $\varphi(\omega_g) = -45^\circ$.

Jenseits der Grenzfrequenz fällt $|A_D|$ mit nahezu -20 dB pro Frequenzdekade, denn für $\omega \gg \omega_g$ geht (3.8) über in $|A_D|(\omega) \approx A_0 \omega_g/\omega$, so dass

$$20 [\lg |A_D|(10\omega) - \lg |A_D|(\omega)] \approx -20 \text{ dB}$$

gilt. Die vollständigen Frequenzgänge (3.8) und (3.9) sind in Abb. 3.3 dargestellt. Die Frequenz

$$f_t \equiv \sqrt{A_0^2 - 1} f_g \approx A_0 f_g , \quad (3.10)$$

bei der $|A_D|$ auf 1 (0 dB) abgesunken ist, heisst *Transitfrequenz*⁸⁾. Wegen der Beziehung (3.10) wird f_t auch *Verstärkungs-Bandbreite-Produkt* genannt.

Wenn ein Teil der Ausgangsspannung des OPV auf den Eingang mit ohmschen Widerständen gegengekoppelt wird, so muss sichergestellt werden, dass die Phasenverschiebung zwischen Ein- und Ausgangsspannung im Verstärkungsbereich, d.h. bis zur Transitfrequenz, nicht kleiner als ca. -90° wird. Bei einer Phasenverschiebung von etwa -180° würde sich die gewünschte Gegenkopplung in eine Mitkopplung verkehren und

⁷⁾ In Einheiten von Dezibel (dB) erhält man bei der Grenzfrequenz einen Verstärkungsabfall um

$$20 \lg \frac{|A_D|(\omega_g)}{A_0} = -20 \lg \sqrt{2} \approx -3 \text{ dB} .$$

In der Praxis gilt $f_g = 10 \dots 100$ Hz, abhängig vom OPV-Typ.

⁸⁾ Für reale OPV gilt typenabhängig $f_t = 0,5 \dots 1000$ MHz.

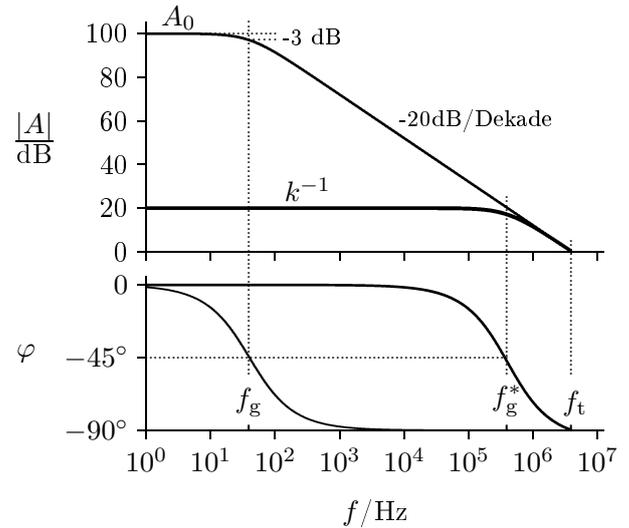


Abb. 3.3: Typisches Bode-Diagramm der Differenzverstärkung A eines frequenzkompensierten Operationsverstärkers (dünne Kurven ohne Gegenkopplung nach Gl. (3.7), dicke Kurven mit Gegenkopplungsfaktor nach Gl. (3.13) bei $k^{-1} = 10$, $A_0 = 10^5$, $f_g = 40$ Hz, $f_t = 4$ MHz)

die Schaltung zu Eigenschwingungen neigen. Bei einigen OPV-Typen sind deshalb Anschlüsse zur Frequenzkompensation herausgeführt, die entsprechend den Herstellerangaben (meist mit RC-Gliedern) zu beschalten sind⁹⁾. Durch die Kompensation wird erreicht, dass sich der OPV zumindest bis zur Transitfrequenz wie ein Tiefpass erster Ordnung (3.7) verhält, nicht aber wie einer höherer Ordnung, bei dem die Verschiebung auch kleiner als -90° werden kann.

Anstiegsgeschwindigkeit der Ausgangsspannung

Springt die Differenz-Eingangsspannung U_D von null auf einen positiven (oder negativen) Wert, so folgt die Ausgangsspannung U_a dieser plötzlichen Spannungsänderung nur mit einer gewissen Verzögerung, welche durch eine *mittlere Anstiegsgeschwindigkeit der Ausgangsspannung* beschrieben wird (auch *Flankensteilheit* oder *slew rate* genannt),

$$S_r \equiv \max_t \left\{ \left| \frac{dU_a(t)}{dt} \right| \right\} \quad (3.11)$$

bei

$$|U_D| = \begin{cases} 0 & : t < 0 \\ \text{const.} > 0 & : t > 0 \end{cases}$$

Bei Universal-OPV-Typen mit FET-Eingängen liegt die Anstiegsgeschwindigkeit bei $10 \text{ V}/\mu\text{s}$ und bei bipolar aufgebauten um etwa eine Größenordnung schlechter (ca. $1 \text{ V}/\mu\text{s}$).

⁹⁾ Beim hier verwendeten OPV LF356N ist die Frequenzkompensation bereits intern realisiert.

Die Anstiegsgeschwindigkeit bestimmt wesentlich die Aussteuerbarkeit der Ausgangsspannung. Nehmen wir beispielsweise an, der OPV soll Sinus-Schwingungen verstärken, so dass am Ausgang der Spannungsverlauf $U_a(t) = \hat{U}_a \sin \omega t$ erwartet wird. Die größte Steilheit hat $U_a(t)$ bei den Nulldurchgängen mit $\omega \hat{U}_a$. Sollen die Signalverzerrungen vernachlässigbar sein, so darf $\omega \hat{U}_a$ nicht größer als die Flankensteilheit S_r des OPV sein. Daraus folgt für die Frequenz $f = \omega/(2\pi)$ die Relation

$$f \leq \frac{S_r}{2\pi \hat{U}_a} \equiv f_{GS} . \quad (3.12)$$

Für große Amplituden, also für $\hat{U}_a \lesssim U_s = 10 \dots 15V$, heisst f_{GS} *Großsignalbandbreite*. Wird der Ausgang z.B. bis zur Amplitude $\hat{U}_a = 10V$ ausgesteuert, so ergibt sich für $S_r = 12 V/\mu s$ die maximal zulässige Frequenz von $(0,6/\pi)MHz \approx 200 kHz$. f_{GS} ist i.a. kleiner als die Kleinsignalbandbreite (3.14), die man für $\hat{U}_a \ll U_s$ aus anderen Überlegungen erhält, was im folgenden Abschnitt aufgezeigt wird.

Elektrometer–Gegenkopplung

Der Wert von f_g bestimmt die *Bandbreite* des OPV. Wie aus Abb. 3.3 hervorgeht, ist sie recht gering. Die Situation ändert sich jedoch, wenn der Bruchteil kU_a der Ausgangsspannung auf den Eingang gegengekoppelt wird. Am einfachsten geschieht das durch eine Rückführung auf den invertierenden Eingang über einen ohmschen Spannungsteiler, wie in Abb. 3.4. Der Rückkopp-

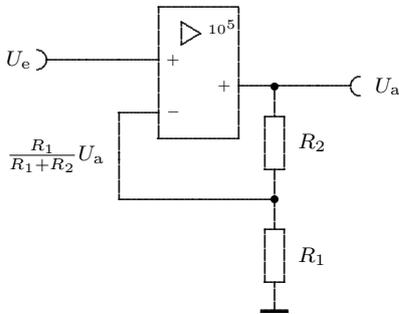


Abb. 3.4: Nicht–invertierender Verstärker

lungsfaktor beträgt hier

$$k \equiv \frac{U_-}{U_a} = \frac{R_1}{R_2 + R_1} \leq 1 .$$

Ändert sich U_e um den Wert ΔU_e , so folgt U_a dieser Änderung in genau dem Maße, dass sich die Differenzeingangsspannung $U_D = 0$ einstellt¹⁰⁾. Es gilt also immer

$$U_e = \frac{R_1}{R_2 + R_1} U_a = k U_a .$$

¹⁰⁾ Bei realen OPV gilt selbstverständlich nur $U_D \approx 0$.

Andererseits folgt aus (3.1) und (3.2)

$$U_a = A_D U_D = A_D (U_e - k U_a) .$$

Für die Verstärkung bei Gegenkopplung erhalten wir dann

$$A \equiv \frac{U_a}{U_e} = \frac{A_D}{1 + k A_D} ,$$

und mit dem Frequenzgang (3.7) von A_D gilt schließlich

$$A(\omega) \approx \frac{1/k}{1 + j \frac{\omega}{k A_0 \omega_g}} . \quad (3.13)$$

Hieraus lesen wir ab, dass beim gegengekoppelten Verstärker die Gleichspannungsverstärkung U_a/U_e durch k^{-1} und die Grenzfrequenz (Kleinsignalbandbreite) durch

$$f_g^* = k A_0 f_g \quad (3.14)$$

gegeben ist. Der Frequenzgang von Amplitude und Phase der Verstärkung A des gegengekoppelten Verstärkers ist in Abb. 3.3 für das Beispiel $k = 10^{-1}$ eingezeichnet. Wir sehen also, dass durch die Gegenkopplung die Gleichspannungsverstärkung zwar sinkt, dafür aber die Bandbreite f_g^* wächst. In Abb. 3.3 gilt $A_0 = 10^5$ und folglich $f_g^* = 1000 f_g$.

Unter Verwendung des Ersatzschaltbildes von Abb. 3.2 erhält man für den differentiellen Eingangswiderstand

$$r_e = k A_0 r_D \parallel r_G . \quad (3.15)$$

Durch die Gegenkopplung wird also der Differenz–Eingangswiderstand r_D um den Faktor $k A_0$, der üblicherweise viel größer als 1 ist, hochtransformiert. Diese Art der Rückkopplung heisst deshalb *Elektrometer–Gegenkopplung*. Hierbei ist zu beachten, dass r_D und r_G nur differentielle Widerstände sind, was durch die Kleinschreibung zum Ausdruck kommt. Folglich ist auch der Widerstand $r_e \equiv \Delta U_e / \Delta I_e$ in Gl. (3.15) ein differentieller Widerstand, und dem Eingangsstrom U_e/r_e ist der Eingangsruhestrom I_b aus Gl. (3.5) überlagert, welcher möglicherweise noch größer als U_e/r_e ist.

Der relativ große Ausgangswiderstand r_a realer OPV von bis zu $1k\Omega$ wird durch die Gegenkopplung auf

$$r_a^* \approx \frac{r_a}{1 + k A_D} \quad (3.16)$$

verringert. Bei einem Gegenkopplungsfaktor von $k = 10^{-1}$ und einer Leerlaufverstärkung von $A_D \approx 10^5$ erhält man immerhin $r_a^* \lesssim 0,1\Omega$. Dies gilt allerdings nur bis zur Grenzfrequenz $f_g \lesssim 50Hz$. Bei höheren Frequenzen muss A_D wie in (3.7) angesetzt werden, was dazu führt, dass r_a^* wächst und sich hinsichtlich des Frequenzgangs wie eine Induktivität verhält.

Der Verstärkungsfaktor $k = 1$ wird für $R_2 = 0$ und $R_1 \rightarrow \infty$ erreicht. Die Schaltung in Abb. 3.4 vereinfacht sich dann zu der in Abb. 3.5. Sie hat nach (3.15) den relativ großen Eingangswiderstand $r_e \approx r_G$ und nach (3.16) den verhältnismäßig kleinen Ausgangswiderstand $r_a^* \lesssim 10m\Omega$. Damit eignet sich die Schaltung zur Impedanzwandlung.

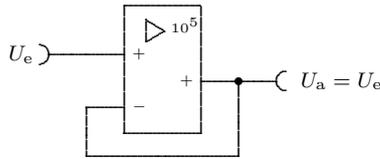


Abb. 3.5: Impedanzwandler

3.2 Grundsaltungen mit Operationsverstärkern

Invertierender Verstärker

Abbildung 3.6 zeigt einen invertierenden Verstärker. Bei

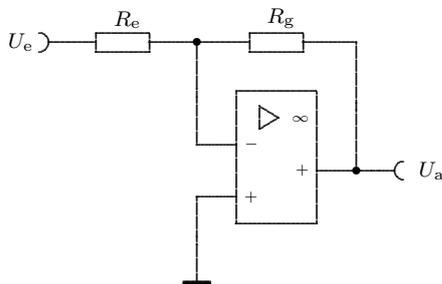


Abb. 3.6: Invertierender Verstärker

gegebener Eingangsspannung U_e stellt sich die Ausgangsspannung U_a gerade so ein, dass am invertierenden Eingang dieselbe Spannung wie am nicht-invertierenden Eingang liegt. Letzterer hat Massepotential, so dass der invertierende Eingang ebenfalls auf Masse liegt, allerdings nur *virtuell*.

In die Eingänge eines (idealen) OPV fließt kein Strom. Folglich verzweigt sich der Strom am Knoten zwischen dem Eingangswiderstand R_e und dem gegenkoppelnden Widerstand R_g nicht und die Ströme durch diese Widerstände haben den gleichen Betrag, also $U_e/R_e = -U_a/R_g$. Hieraus folgt

$$U_a = -\frac{R_g}{R_e} U_e . \quad (3.17)$$

Für den differentiellen Eingangswiderstand findet man leicht

$$r_e = R_e . \quad (3.18)$$

In der Praxis wird R_e sehr viel kleiner als der differentielle Gleichtakt-Eingangswiderstand r_G eines realen OPV gewählt (s. Abb. 3.2). Folglich ist beim invertierenden Verstärker r_e bedeutend kleiner als etwa bei der Elektrometer-Gegenkopplung in Abb. 3.4, für den (3.15) gilt.

Der differentielle Ausgangswiderstand beim invertierenden Verstärker ist wie bei der Elektrometer-

Gegenkopplung durch (3.16) gegeben, wobei der Rückkopplungsfaktor nun allerdings bestimmt ist durch

$$k \equiv \frac{U_-}{U_a} \Big|_{U_e=0} = \frac{R_e}{R_e + R_g} . \quad (3.19)$$

In realen Schaltungen muss die Übertragungsfunktion (3.17) für hohe Frequenzen modifiziert werden, kommt hier doch die Tiefpasscharakteristik realer OPV zur Geltung.

Messung der Differenzverstärkung

Bei einer direkten Messung der Differenzverstärkung A_D aus Gl. (3.2) ergeben sich messtechnische Probleme. Das liegt vor allem daran, dass schon geringes Rauschen, welches in der Messpraxis der Differenzeingangsspannung U_D immer überlagert ist, zu starken Schwankungen der Ausgangsspannung oder gar zur Übersteuerung des OPV führt. Mit der Schaltung in Abb. 3.7 wird dieses Problem durch Gegenkopplung gelöst.

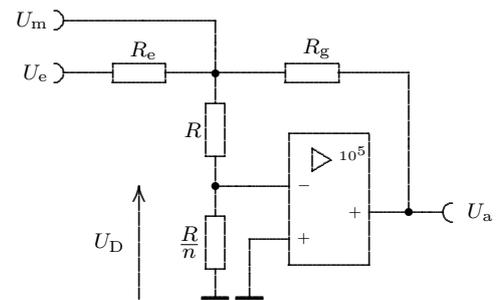


Abb. 3.7: Schaltung zur Messung der Differenzverstärkung

Sie unterscheidet sich vom invertierenden Verstärker in Abb. 3.6 allein durch den zusätzlichen Spannungsteiler aus den Widerständen R und R/n . Er bewirkt, dass die Messspannung U_m für $n \gg 1$ etwa n -mal so groß wie die gesuchte Differenzspannung U_D ist. So liegt z. B. U_m für $n = 1000$ im messtechnisch leichter zu handhabenden mV-Bereich wenn der OPV voll angesteuert wird ($U_a \lesssim \pm U_s$) und A_D von der Größenordnung 10^5 ist. Für die Differenzverstärkung gilt also

$$|A_D| = n \frac{U_a}{U_m} .$$

Invertierender Summierer

Abbildung 3.8 zeigt einen invertierenden Summierverstärker. Der Strom durch R_g ist dem Betrage nach gleich der Summe der Ströme durch die Eingangswiderstände R_i , $i = 1, 2, \dots, n$. Daraus folgt

$$U_a = -R_g \left(\frac{U_1}{R_1} + \frac{U_2}{R_2} + \dots + \frac{U_n}{R_n} \right) . \quad (3.20)$$

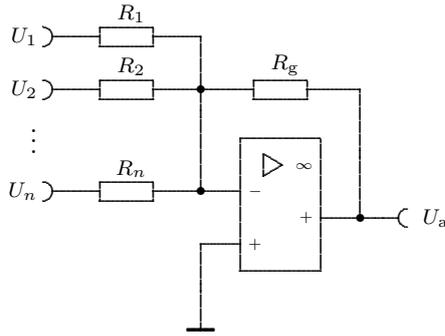


Abb. 3.8: Invertierender Summierverstärker

Die Ausgangsspannung ist also gleich der Summe der gewichteten Eingangsspannungen U_i , wobei die Gewichtungsfaktoren durch $-R_g/R_i$ bestimmt sind.

Differenzierer

Mit der Schaltung in Abb. 3.9 wird das Eingangssignal $U_e(t)$ differenziert. Zur Erläuterung setzen wir den Wi-

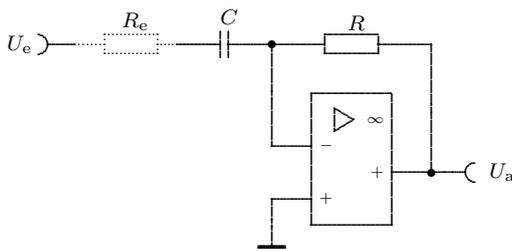


Abb. 3.9: Differenzierer

erstand R_e zunächst auf null, da er von untergeordneter Bedeutung ist. Der invertierende Eingang des OPV liegt auf virtueller Masse und der Strom in diesen Eingang ist null (vgl. die Argumentation zum invertierenden Verstärker). Folglich muss der Strom $C dU_e/dt$ auf die Kapazität C gleich dem Strom $-U_a/R$ im Rückkopplungsweig sein. Daraus folgt

$$U_a = -RC \frac{dU_e}{dt} . \quad (3.21)$$

Bei harmonischen Eingangsspannungen mit der Kreisfrequenz ω kann die Übertragungsfunktion U_a/U_e des Differenzierers leicht berechnet werden, indem für die Kapazität der komplexe Widerstand

$$R_C \equiv \frac{1}{j\omega C} \quad (3.22)$$

verwendet wird. Dann ist der Differenzierer wie der invertierende Verstärker in Abb. 3.6 zu behandeln, mit dem Eingangswiderstand $R_e + R_C$. In Analogie zu Gl. (3.17)

erhalten wir somit

$$\begin{aligned} U_a &= -\frac{R}{R_e + R_C} U_e \\ &= -\frac{j\omega RC}{1 + j\omega R_e C} U_e . \end{aligned} \quad (3.23)$$

Hieraus ergibt sich der Betrag der Übertragungsfunktion $|A|(\omega) \equiv |U_a/U_e|$ zu

$$\begin{aligned} |A|(\omega) &= \frac{\omega RC}{\sqrt{1 + \omega^2 R_e^2 C^2}} \quad (3.24) \\ &= \begin{cases} 0 & : \omega \rightarrow 0 \\ R/R_e & : \omega \rightarrow \infty . \end{cases} \end{aligned}$$

Der Differenzierer kann also als Hochpass aufgefasst werden. Für die Phasenverschiebung zwischen Ein- und Ausgangsspannung folgt aus (3.23)

$$\begin{aligned} \varphi(\omega) &= -\pi - \arctan \frac{1}{\omega R_e C} \quad (3.25) \\ &= \begin{cases} -270^\circ & : R_e > 0, \omega \rightarrow 0 \\ -180^\circ & : R_e > 0, \omega \rightarrow \infty \\ -270^\circ & : R_e = 0, \omega \text{ beliebig.} \end{cases} \end{aligned}$$

Für die Stabilität der Schaltung ist es wichtig zu beachten, dass der Rückkopplungsfaktor hier komplex ist und somit i.a. eine Phasenverschiebung verursacht. In Analogie zu (3.19) erhalten wir hier

$$\begin{aligned} k &= \frac{R_e + R_C}{R_e + R_C + R} \\ &= \frac{1 + j\omega R_e C}{1 + j\omega(R_e + R)C} \\ &= |k| e^{j\varphi(\omega)} , \end{aligned}$$

mit der Phasenverschiebung

$$\begin{aligned} \varphi(\omega) &= -\arctan \frac{\omega RC}{1 + \omega^2 R_e(R_e + R)C^2} \quad (3.26) \\ &= -\arctan \omega RC \quad \text{für } R_e = 0 . \end{aligned}$$

Bei $R_e = 0$ und großen Frequenzen geht also $\varphi(\omega)$ gegen -90° . Zu dieser Verschiebung kommt noch die des internen Tiefpasses, welche bis hin zur Transitfrequenz ebenfalls nahezu -90° betragen kann. Insgesamt wird also die Ausgangsspannung bei hohen Frequenzen mit ca. -180° Phasenverschiebung auf den invertierenden Eingang gegeben, so dass sich die gewünschte Gegenkopplung in eine Mitkopplung verkehrt und die Schaltung instabil wird. Nach (3.26) verringert der ohmsche Widerstand $R_e > 0$ diese Phasenverschiebung und wirkt somit stabilisierend.

Die Zeitkonstante $R_e C > 0$ am Eingang der Schaltung in Abb. 3.9 bestimmt wesentlich die Frequenzen f der Eingangsspannung U_e , für welche die Beziehung (3.21) in „guter“ Näherung gilt, denn generell muss dazu

$$f \ll \frac{1}{2\pi R_e C}$$

erfüllt sein.

Abschließend sei jedoch angemerkt, dass die Differentiation von Signalen in der Regel mit großen Rechenfehlern verbunden ist, werden doch hierbei Störungen, die realen Signalen immer überlagert sind („Rauschen“), stark angehoben. In vielen Fällen (z. B. bei der Lösung von Differentialgleichungen) kann man aber auf Integratoren ausweichen, die einen Tiefpasscharakter haben und somit schaltungstechnisch besser beherrschbar sind.

Integrierer

Die Schaltung in Abb. 3.10 integriert das Eingangssignal $U_e(t)$, denn der Strom durch R muss vom Betrage gleich

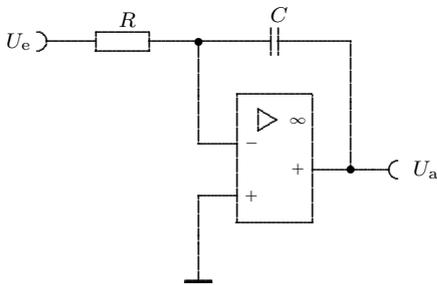


Abb. 3.10: Invertierender Integriator

dem Strom auf C sein, also

$$\frac{U_e}{R} = -C \frac{dU_a}{dt} .$$

Daraus folgt für die Ausgangsspannung

$$U_a(t) = -\frac{1}{RC} \int_0^t U_e(t^*) dt^* + U_a(0) . \quad (3.27)$$

Für harmonische Eingangsspannungen mit der Kreisfrequenz ω erhalten wir unter Verwendung von (3.22) und (3.17) die Übertragungsfunktion

$$\begin{aligned} A(\omega) &= -\frac{1}{j\omega RC} \\ &= \frac{1}{\omega RC} e^{j\pi/2} . \end{aligned} \quad (3.28)$$

Der Integrierer hat somit Tiefpasscharakter, wobei die Ausgangsspannung U_a der Eingangsspannung U_e um 90° voreilt.

Stabilitätsprobleme, wie wir sie vom Differenzierer in Abb. 3.9 bereits kennen, gibt es beim Integrierer nicht, denn in Analogie zu (3.19) lautet Rückkopplungsfaktor

hier

$$\begin{aligned} k &= \frac{R}{R + R_C} \\ &= \frac{j\omega RC}{1 + j\omega RC} \\ &= \frac{\omega RC}{\sqrt{1 + (\omega RC)^2}} e^{j \arctan \frac{1}{\omega RC}} . \end{aligned}$$

Für große Frequenzen geht die Phasenverschiebung gegen null, so dass die Ausgangsspannung dann voll gekoppelt wird, ebenso wie beim invertierenden Verstärker in Abb. 3.6.

Der Integrationsfehler wird groß einerseits für geringe Frequenzen $f < f_g$, infolge der endlichen Leerlaufverstärkung A_0 , (s. Abb. 3.3) und andererseits für große Frequenzen $f > 1/(2\pi\tau)$. Hierin ist

$$\tau \equiv RC \quad (3.29)$$

die Integrationszeitkonstante. Innerhalb des Frequenzbandes $f_g \dots (2\pi\tau)^{-1}$ liegt der relative Integrationsfehler bei

$$\begin{aligned} E &= |A|/|A_D| \\ &= \frac{\sqrt{1 + (f/f_g)^2}}{2\pi f \tau A_0} \\ &\approx (2\pi\tau A_0 f_g)^{-1} \quad \text{für } f_g \ll f < (2\pi\tau)^{-1} . \end{aligned}$$

Für $\tau = 100\mu\text{s}$, $A_0 = 10^5$ und $f_g = 10\text{Hz}$ erhält man z. B. $E \approx 0,16\%$.

Bei der praktischen Realisierung des Integrierers führen die Eingangsfehlspannung U_O und der Eingangsruhestrom I_b zu einer störenden Drift der Ausgangsspannung. Für $U_e = 0$ gilt

$$\frac{dU_a}{dt} = \frac{1}{C} \left(\frac{U_O}{R} + I_b \right) . \quad (3.30)$$

Bei OPV mit FET-Eingängen stört vor allem U_O . Wählen wir z. B. $C = 10\text{nF}$ und $R = 10\text{k}\Omega$, so erhalten wir die Zeitkonstante $RC = 100\mu\text{s}$. $U_O = 10\text{mV}$ liefert dann eine Drift von 100V/s . Hingegen folgt aus $I_b = 30\text{pA}$ die vernachlässigbar kleine Drift von $0,003\text{V/s}$.¹¹⁾

Verwendet man OPV mit bipolaren Eingängen, so ist der viel größere Eingangsruhestrom bedeutsam. Nach (3.30) kann aber sein Einfluss durch die Verwendung möglichst großer Kapazitäten C verringert werden. Die Integrationszeitkonstante (3.29) kann dabei konstant gehalten werden, indem gleichzeitig der Widerstand R verkleinert wird. Der Einfluss von U_O auf die Drift bleibt dabei aber unverändert groß. Darüber hinaus sind Kondensatoren mit großen Kapazitätswerten unhandlich und teuer. Setzt man Elektrolytkondensatoren ein, die auf kleinem Raum große Kapazitätswerte besitzen können, so stören die relativ großen Leckströme, welche im μA -Bereich liegen. Man sollte deshalb jedenfalls Folienkondensatoren verwenden.

¹¹⁾ Die verwendeten Zahlenwerte für die Eingangsfehlsgrößen sind typisch für den OPV LF356N.

Bandsperre

Durch die Beschaltung eines OPV mit RC- oder LRC-Netzwerken können aktive Filter konstruiert werden. Abbildung 3.11 zeigt das Beispiel einer Bandsperre. Um

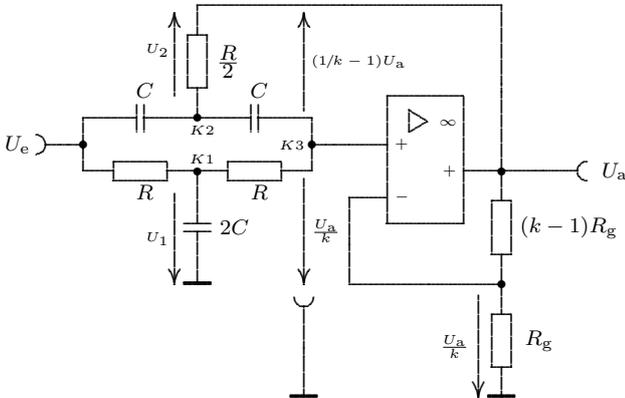


Abb. 3.11: Aktive Doppel-T-Bandsperre

die Übertragungsfunktion $A(\omega) \equiv U_a/U_e$ zu bestimmen, wenden wir die Knotenregel auf die Knoten $K1$, $K2$ und $K3$ an und erhalten dann¹²⁾

Knoten 1:

$$U_1 j\omega 2C = \frac{U_e - U_1}{R} + \frac{U_a/k - U_1}{R}$$

Knoten 2:

$$\frac{2U_2}{R} = (U_e - U_a - U_2)j\omega C + [(1/k-1)U_a - U_2]j\omega C$$

Knoten 3:

$$[(1/k-1)U_a - U_2]j\omega C = \frac{U_1 - U_a/k}{R}$$

Eliminiert man hier die Hilfsspannungen U_1 und U_2 , so folgt mit der normierten Kreisfrequenz $\Omega \equiv \omega RC$ die Übertragungsfunktion

$$A(\Omega) = \frac{k}{1 + \frac{2(2-k)\Omega}{1-\Omega^2} j} \quad (3.31)$$

Der zugehörige Amplitudengang ist

$$|A|(\Omega) = \frac{k}{\sqrt{1 + \frac{4(2-k)^2\Omega^2}{(1-\Omega^2)^2}}} \quad (3.32)$$

und für den Phasengang finden wir

$$\varphi(\Omega) = -\arctan \frac{2(2-k)\Omega}{1-\Omega^2} \quad (3.33)$$

¹²⁾ Wie üblich werden die Ein- und Ausgangsspannung U_e bzw. U_a positiv gerechnet, wenn die eingezeichnete Buchse gegenüber Masse positiv ist.

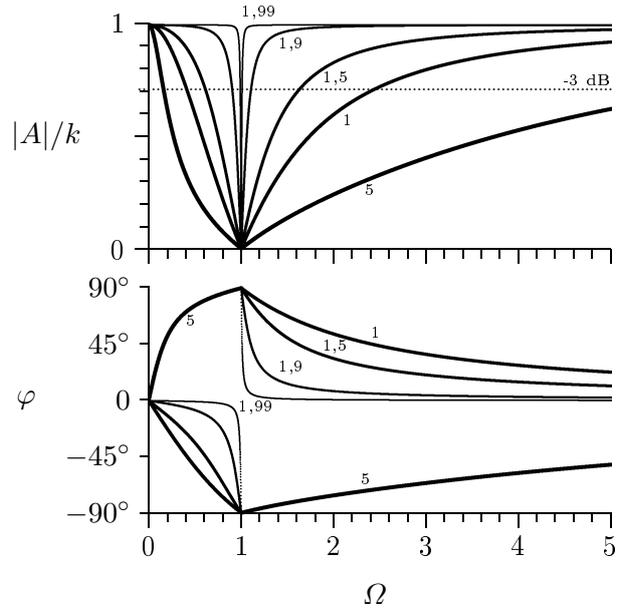


Abb. 3.12: Amplituden- und Phasenfrequenzgang der Doppel-T-Bandsperre für verschiedene Gegenkoppelungsfaktoren k

Beide Kurvenverläufe (3.32) und (3.33) sind in Abb. 3.12 dargestellt. Bei der Resonanzfrequenz $f_r = (2\pi RC)^{-1}$ wird $\Omega = 1$ und somit $|A|(1) = 0$. f_r wird also maximal unterdrückt. Die Phasenverschiebung φ zeigt an der Resonanzstelle einen Phasensprung um 180° .

Der Sperrbereich wird definiert als der Frequenzbereich $\Omega_{\min} \dots \Omega_{\max}$, in dem $|A|/k < 1/\sqrt{2} \approx 0,71$ gilt¹³⁾. Die Differenz $B \equiv \Omega_{\max} - \Omega_{\min}$ ist die *Bandbreite*, normiert bezüglich der Resonanzfrequenz. Der Kehrwert $Q \equiv B^{-1}$ heisst *Güte*. Sie ergibt sich aus (3.32) zu

$$Q = \frac{1}{2(2-k)} \quad (3.34)$$

Offenbar wird die Güte für $k \approx 2$ besonders groß und bei $k = 2$ sogar unendlich.

Logarithmierer

Logarithmierer liefern eine Ausgangsspannung U_a , die bis auf eine Konstante dem Logarithmus der Eingangsspannung proportional ist, also $U_a = \log(\text{const.} \times U_e)$. Derartige Verknüpfungen werden z. B. bei der Multiplikation zweier Signale benötigt¹⁴⁾.

Eine Schaltungsvariante zum Logarithmieren ist in Abb. 3.13 zu sehen. Hier findet sich die Grundschaltung des invertierenden Verstärkers aus Abb. 3.6 wieder, nun allerdings mit dem nichtlinearen Kollektor-Emitter-Widerstand eines Bipolartransistors im Rückkopplungszweig¹⁵⁾.

¹³⁾ Dies bedeutet einen Verstärkungsabfall um etwa -3 dB gegenüber der Gleichspannungsverstärkung $|A|(0) = k$.

¹⁴⁾ Bei einer Multiplikation wird die Beziehung $P = F_1 \times F_2 = \exp(\ln F_1 + \ln F_2)$ genutzt. Folglich ist neben dem Logarithmierer auch ein Exponierer nötig.

¹⁵⁾ Anstelle des Transistors könnte auch eine Diode verwendet

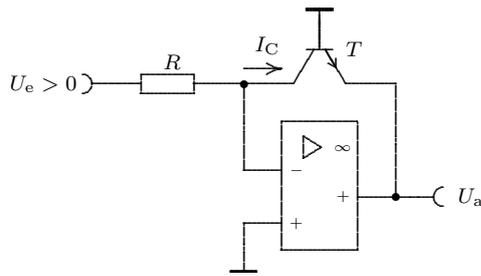


Abb. 3.13: Logarithmierer

Zur Ableitung der Übertragungscharakteristik $U_a(U_e)$ des Logarithmierers gehen wir von der Kennlinie

$$U_{BE} = U_T \ln \frac{I_C}{I_{CS}} \quad (3.35)$$

aus. Diese Beziehung gilt in guter Näherung, wenn der Kollektorstrom I_C groß gegenüber dem Sperrstrom I_{CS} ist¹⁶⁾. Für den Knoten am invertierenden Eingang gilt $U_e/R = I_C$. Weiterhin folgt aus dem Maschensatz $U_a = -U_{BE}$. Damit geht Gl. (3.35) in die gesuchte Beziehung über,

$$U_a(U_e) = -U_T \ln \frac{U_e}{RI_{CS}} \quad \text{für } U_e > 0 \quad (3.36)$$

Bei hochwertigen Siliziumtransistoren hat man einen Kollektorstrombereich von einigen pA bis zu mA zur Verfügung. Damit lassen sich Logarithmierer über 9 Dekaden der Eingangsspannung aufbauen.

Die Schaltung in Abb. 3.13 neigt zu Eigenschwingungen, weil die Schleifenverstärkung durch den Transistor erhöht wird. In Abb. 3.14 wurde deshalb ein Emitterwiderstand R_E zur Stromgegenkopplung verwandt, der die Spannungsverstärkung des Transistors auf den Wert R/R_E begrenzt. Darüber hinaus können mit einem Kondensator im Gegenkopplungszweig hohe Frequenzanteile unterdrückt werden, was die Schaltung stabilisiert.

Eine Diode, welche im Normalbetrieb ($U_a < 0$ für $U_e > 0$) in Sperrichtung geschaltet und somit unwirksam ist, verhindert bei negativen Eingangsspannungen eine Übersteuerung des OPV. Damit schützt sie den Transistor vor zu hohen Emitter-Basis-Spannungen und verkürzt die Erholzeit.

Exponierier

Ein Exponierier wird z. B. als Umkehrung des Logarithmierers beim Multiplizieren zweier Spannungen benötigt

werden. Allerdings stört dann der parasitäre ohmsche Serienwiderstand. Darüber hinaus zeigt die reale Diodenkennlinie merkliche Abweichungen von der gewünschten streng logarithmischen Charakteristik.

¹⁶⁾ Für Siliziumtransistoren gilt $I_{CS} \approx 10\text{pA}$. Darüber hinaus geht in die Kennlinienfunktion die Temperaturspannung $U_T = kT/e$ ein. Hier bezeichnet $k = 1,3810^{-23}$ Ws/K die Boltzmannkonstante und $e = 1,60210^{-19}$ C die Elementarladung. Bei Zimmertemperatur von $T = 296\text{K}$ erhalten wir $U_T \approx 25,5\text{mV}$.

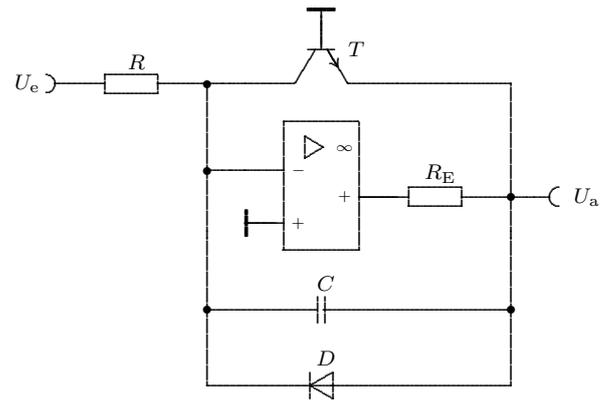


Abb. 3.14: Praktische Ausführung eines Logarithmierers

(s. Fußnote auf S. 26). Abbildung 3.15 zeigt hierfür eine einfache Schaltung.

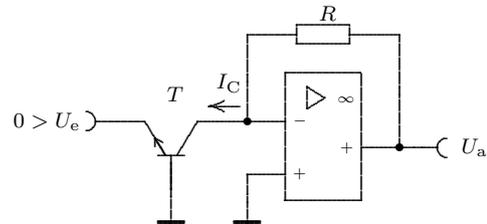


Abb. 3.15: Exponierier

Zur Bestimmung der Übertragungscharakteristik $U_a(U_e)$ wenden wir zunächst die Knotenregel auf den Knoten am invertierenden Eingang und erhalten $I_C = U_a/R$. Andererseits folgt aus (3.35)

$$I_C = I_{CS} e^{U_{BE}/U_T} \quad (3.37)$$

Damit erhalten wir schließlich

$$U_a(U_e) = RI_{CS} e^{-U_e/U_T} \quad \text{für } U_e < 0 \quad (3.38)$$

Abschließend sei bemerkt, dass die Schaltungen in Abb. 3.15 eine relativ starke Temperaturdrift zeigt. Diese kann jedoch durch zusätzlichen schaltungstechnischen Aufwand (Differenzverstärker) weitgehend kompensiert werden.

Multivibrator

Mit Operationsverstärkern kann man recht einfach verschiedene Oszillatoren aufbauen. Abbildung 3.16 zeigt das Beispiel eines Multivibrators.

Die Ausgangsspannung U_a springt hier periodisch zwischen den Werten $\pm U_{\max}$, wobei $U_{\max} \lesssim +U_s$. Nehmen wir zunächst an, dass U_a gerade auf U_{\max} gesprungen ist. Dann beginnt sich der Kondensator C über R so umzuladen, als würde die über ihm abfallende Spannung

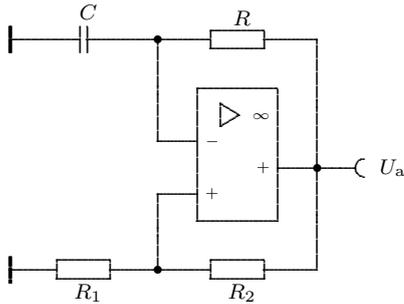


Abb. 3.16: Multivibrator

U_- asymptotisch gegen U_{\max} streben. Dies geschieht mit der Zeitkonstante RC . Am nicht-invertierenden Eingang des OPV liegt dabei die Spannung

$$U_e \equiv \frac{R_1}{R_1 + R_2} U_{\max} \quad (3.39)$$

Überschreitet U_- diesen Wert nur geringfügig, so ändert sich das Vorzeichen der Differenzeingangsspannung $U_D = U_+ - U_-$ und U_a springt auf den Wert $-U_{\max}$. Nun lädt sich C wiederum um, beginnend bei U_e und asymptotisch gegen $-U_{\max}$ strebend. Der Umladevorgang wird wiederum abgebrochen, wenn U_- den Wert $-U_e$ erreicht usw.

Der zeitliche Spannungsverlauf beim Umladevorgang $U_- = -U_e \uparrow U_e$ wird durch das Exponentialgesetz

$$U_-(t) = (U_{\max} + U_e) \left(1 - e^{-\frac{t}{RC}}\right) - U_e$$

beschrieben. Nach der Zeit $T/2$ möge U_- den Wert $U_e < U_{\max}$ erreichen, bei dem die Schaltung zurückkippt. Aus dem Ansatz $U_-(T/2) = U_e$ erhalten wir dann

$$T = 2RC \ln \left(\frac{U_{\max} + U_e}{U_{\max} - U_e} \right) \quad (3.40)$$

Unter Verwendung von (3.39) folgt schließlich

$$T = 2RC \ln \left(1 + \frac{2R_1}{R_2} \right) \quad (3.40)$$

Für den Umladevorgang $U_- = U_e \downarrow -U_e$ wird ebenfalls die Zeit $T/2$ benötigt, so dass T gerade die Schwingungsperiode ist. Im Spezialfall $R_1 = R_2$ vereinfacht sich der Ausdruck (3.40) zu

$$T = RC \ln 9 \approx 2,2 RC$$

Schmitt-Trigger

Einen Schmitt-Trigger erhält man recht einfach, indem man die Gegenkopplung beim invertierenden Verstärker von Abb. 3.6 in eine Mitkopplung verwandelt. Dazu wird die Ausgangsspannung U_a nun auf den nicht-invertierenden Eingang des OPV zurückgekoppelt (Abb. 3.17).

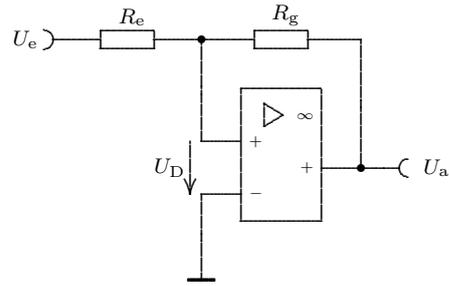


Abb. 3.17: Schmitt-Trigger

Die Ausgangsspannung U_a kann generell nur zwischen $\pm U_{\max}$ schwanken, wobei $U_{\max} \lesssim +U_s$. Nehmen wir zunächst an, dass $U_a = U_{\max}$ gilt. Unterschreitet dann die Eingangsspannung U_e den Wert

$$U_{\text{aus}} \equiv -\frac{R_e}{R_g} U_{\max} < 0,$$

so wird die Differenzeingangsspannung U_D negativ und U_a springt auf $-U_{\max}$. Erst wenn U_e den Wert

$$U_{\text{ein}} \equiv \frac{R_e}{R_g} U_{\max} > 0$$

erreicht, springt U_a auf den Ausgangswert U_{\max} zurück. Für die Schalthysterese folgt somit

$$U_{\text{ein}} - U_{\text{aus}} = \frac{2R_e}{R_g} U_{\max} \approx \frac{2R_e}{R_g} U_s$$

3.3 Versuchsdurchführung

Aufgaben zur Vorbereitung

1. Wodurch unterscheiden sich reale OPV vom idealen? Erläutern Sie einige wichtige Kenngrößen von realen OPV.
2. Ermitteln Sie den exakten Ausdruck für den Frequenzgang $A(\omega)$ des gegengekoppelten OPV. Unter welchen Bedingungen gilt die Näherung gemäß Gl. (3.13)?
3. Leiten Sie die Formeln (3.15) und (3.16) für den differentiellen Ein- und Ausgangswiderstand r_e bzw. r_a^* des Elektrometer-Verstärkers in Abb. 3.4 ab, bei Beachtung des Ersatzschaltbildes von Abb. 3.2.
4. Wie groß sind die differentiellen Eingangswiderstände $r_i \equiv \Delta U_i / \Delta I_i$ sowie der Ausgangswiderstand $r_a^* \equiv \Delta U_a / \Delta I_a$ beim Summationsverstärker in Abb. 3.8?
5. Leiten Sie die Übertragungsfunktion (3.31) für die Bandsperre in Abb. 3.11 ab sowie die Formel (3.34) für die Güte. (Die Schreibweise vereinfacht sich mit der Abkürzung $P \equiv j\omega RC$.)

Versuchsaufgaben

1. Führen Sie den Nullabgleich des OPV durch. Verwenden Sie dazu die Schaltung des invertierenden Verstärkers in Abb. 3.6 ($U_s = 15\text{V}$, $R_e = R_g = 10\text{k}\Omega$, $U_e = 0$). Messen Sie anschließend mit einem Multimeter die Ausgangsspannung U_a in Abhängigkeit von der Speisespannung $U_s = (5 \dots 18)\text{V}$. Bestimmen Sie aus den Messdaten den Durchgriff $\Delta U_a / \Delta U_s$.
2. Messen Sie Amplituden- und Phasenfrequenzgänge des nicht-invertierenden Verstärkers in Abb. 3.4 für die Gegenkopplung $k = 10^{-1}$. Ermitteln Sie die Transitfrequenz f_t des OPV sowie die Grenzfrequenz f_g^* .
3. Messen Sie Amplituden- und Phasenfrequenzgänge der Differenzverstärkung A_D unter Verwendung der Schaltung in Abb. 3.7. Ermitteln Sie die Transitfrequenz f_t des OPV sowie die obere Grenzfrequenz.
4. Bauen Sie einen invertierenden Verstärker wie in Abb. 3.6 auf, mit der Gleichspannungsverstärkung $|U_a/U_e| \approx 10$. Messen Sie die Grenzfrequenz des Verstärkers und die zugehörige Phasenverschiebung. Steuern Sie den Verstärker mit Rechteckimpulsen an (Amplitude $\approx 0,5\text{V}$, Frequenz $\approx 50\text{kHz}$) und oszillographieren Sie die Impulsantwort am Ausgang des OPV. Ermitteln Sie die Flankensteilheit S_r aus Gl. (3.11) für die Vor- und Rückflanke, sowie die Großsignalbandbreite f_{GS} nach Gl. (3.12).
5. Bauen Sie einen Summationsverstärker für zwei Eingangsspannungen wie in Abb. 3.8 auf, so dass ein jeder Gewichtsfaktor den Wert -1 hat. Überprüfen Sie die Funktion der Schaltung mit zwei (beliebigen, aber sinnvollen) Eingangssignalen. Oszillographieren Sie die Signale.
6. Bauen einen Differenzierer nach Abb. 3.9 für Frequenzen bis zu 1kHz auf. Steuern Sie die Schaltung mit Sinus-, Rechteck- und Dreieckssignalen an und oszillographieren Sie jeweils synchron die Ein- und Ausgangsspannung. Messen Sie die Phasenverschiebung zwischen Ein- und Ausgangsspannung bei harmonischem Eingangssignal der Frequenz 1kHz .
7. Bauen Sie einen Integrierer nach Abb. 3.10 auf und führen Sie dieselben Untersuchungen wie in Aufgabe 6 durch.
8. Bauen Sie eine Bandsperre nach Abb. 3.11 für die Resonanzfrequenz $f_r = 10\text{kHz}$ auf. Messen Sie den Amplituden- und Phasenfrequenzgang für die beiden Gegenkopplungen $k = 1$ und $k \lesssim 2$. Ermitteln Sie jeweils die Güte.
9. Steuern Sie die Bandsperre aus Aufgabe 8 ($f_r = 10\text{kHz}$, $k \lesssim 2$) mit Rechtecksignalen der Grundfrequenzen $f \approx f_r$ an. Oszillographieren Sie synchron

Ein- und Ausgangssignal für die Grundfrequenzen $f \gtrsim f_r$ und $f \lesssim f_r$. Wiederholen Sie die Untersuchung für $f \gtrsim f_r/n$ und $f \lesssim f_r/n$, worin $n = 3$ und $n = 5$ zu setzen sind.

10. Bauen Sie einen Logarithmierer nach Abb. 3.14 für Eingangsspannungen bis 2V auf (T: SF 126 oder SF 129, D: SAY 16). Steuern Sie die Schaltung mit Dreiecksspannungen an und oszillographieren Sie den Funktionsverlauf im xy-Modus.
11. Bauen Sie einen Exponierer nach Abb. 3.15 für Eingangsspannungen bis -1V auf (T: SF 126 oder SF 129). Steuern Sie die Schaltung mit Dreiecksspannungen an und oszillographieren Sie den Funktionsverlauf im xy-Modus.
12. Bauen Sie einen Multivibrator nach Abb. 3.16 für die Frequenz 10kHz auf. Oszillographieren Sie das Rechtecksignal und messen Sie die Flankensteilheit der Rechteckimpulse.
13. Bauen Sie einen Schmitt-Trigger nach Abb. 3.17 für die Hysteresis von ca. $U_s/10$ auf. Steuern Sie den Schmitt-Trigger mit einem Sinus-Signal der Frequenz 10kHz und der Amplitude 3V an und ermitteln Sie das Tastverhältnis des Rechtecksignals am Ausgang in Abhängigkeit von der Speisespannung $U_s = 5 \dots 15\text{V}$.

Aufgabenklassen:

OPV-Eigenschaften : 1, 2, 3, 4

OPV in Gegenkopplung : 5, 6, 7, 8, 9, 10, 11

OPV-Kippschaltungen : 12, 13

Geräte

Geräteart	Typ	Anzahl
Versuchsplatine	Operationsverstärker	1
Stromversorgung	PS 280	1
Oszilloskop	MAMEG HM 1508-2	1
Funktionsgenerator	Textronix AFG 3022B	1
Multimeter	VOLTCRAFTplus VC 920	2

Versuchsschaltung

Die 33k-Widerstände an den beiden Eingängen des OPV begrenzen den maximal möglichen Eingangsstrom. Im „normalen“ Betrieb sind sie nicht nötig, da der OPV sehr große Eingangswiderstände hat, wenn die Eingangsspannungen U_+ bzw. U_- im Bereich $-U_s \dots +U_s$ liegen. Die Situation ändert sich jedoch, wenn dieser Bereich verlassen wird. Das kann z.B. auftreten, wenn an den Eingängen geladene Kapazitäten liegen und die Betriebsspannung abgeschaltet wird. Werden hierbei die Spannungen auf den Kapazitäten langsamer abgebaut als die Betriebsspannung, so kann zumindest kurzzeitig ein zu großer Eingangsstrom fließen, der den OPV thermisch zerstört.

Die Betriebsspannung wurde mit einem Kondensator von 100nF abglockt, wodurch die Neigung zu Eigenschwingungen des OPV verringert wird.

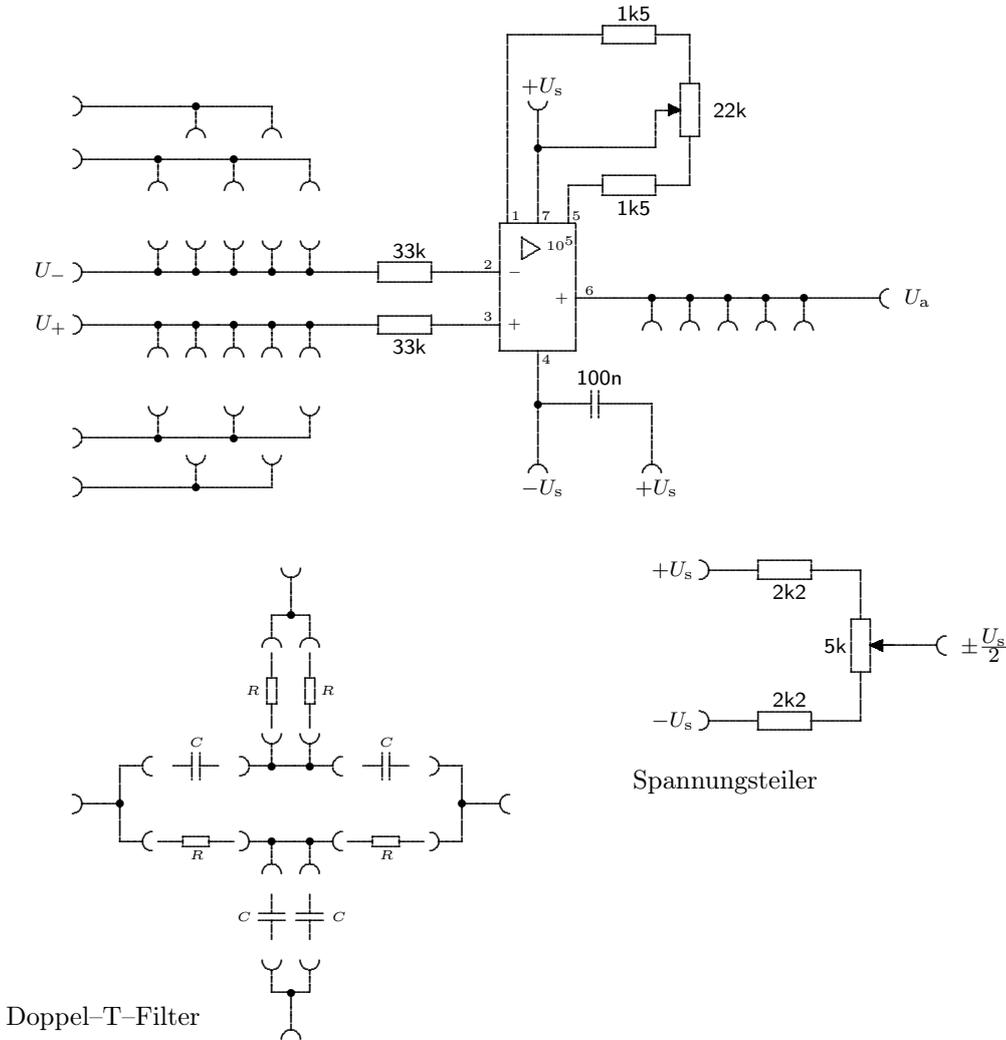


Abb. 3.18: Versuchsschaltung zum Operationsverstärker

Kapitel 4

Wien–Robinson–Oszillator (Aufbauversuch)

Der Wien–Robinson–Oszillator (WR–Oszillator) dient der Erzeugung von harmonischen Schwingungen im Bereich von etwa 10Hz bis 1MHz und bei Klirrfaktoren bis unter 0,1%. Aktives Bauelement ist hier ein Operationsverstärker und das frequenzbestimmende Rückkopplungsnetzwerk eine Wien–Robinson–Brücke (WR–Brücke).

4.1 Wien–Robinson–Brücke

Abbildung 4.1 zeigt die WR–Brücke. Für $\varepsilon \neq 0$ ist

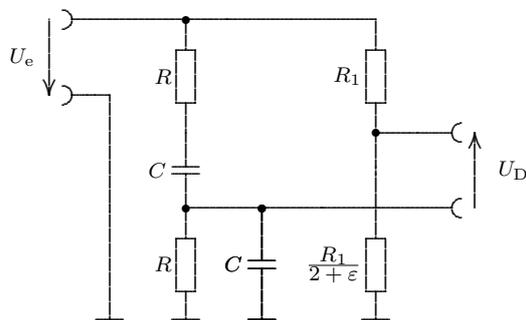


Abb. 4.1: Wien–Robinson–Brücke

die Brücke verstimmt. Die Übertragungsfunktion $A \equiv U_D/U_e$ erhält man aus dem Ansatz

$$A = \frac{R \parallel R_C}{R \parallel R_C + R + R_C} - \frac{R_1/(2 + \varepsilon)}{R_1/(2 + \varepsilon) + R_1}.$$

Unter Verwendung von

$$R_C = (j\omega C)^{-1}, \quad \Omega \equiv \omega RC \quad \text{und} \quad x \equiv \Omega - \frac{1}{\Omega}$$

findet man

$$A(\Omega) = \frac{1}{3 + \varepsilon} \cdot \frac{1}{9 + x^2} \cdot [(3\varepsilon - x^2) - (3 + \varepsilon)x \cdot j]. \quad (4.1)$$

Daraus folgen der Amplitudengang

$$|A|(\Omega) = \frac{1}{3 + \varepsilon} \cdot \frac{\sqrt{(3\varepsilon - x^2)^2 + (3 + \varepsilon)^2 x^2}}{9 + x^2}$$

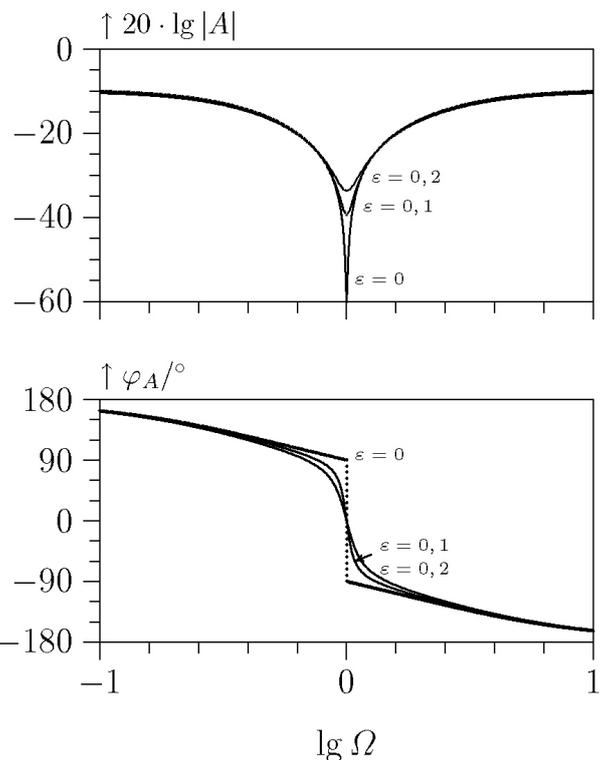


Abb. 4.2: Amplituden- und Phasenfrequenzgang der Wien–Robinson–Brücke für die Verstimmungen $\varepsilon = 0$ (dünn) sowie $\pm 0,1$ (dick)

und der Phasengang

$$\varphi_A(\Omega) = \arctan \frac{(3 + \varepsilon)x}{x^2 - 3\varepsilon}.$$

Die Frequenzgänge von Amplitude $|A|$ und Phase φ_A zeigt Abb. 4.2.

Bei der Resonanzfrequenz

$$f_r = \frac{1}{2\pi RC} \quad (4.2)$$

(hier gilt $\lg \Omega = 0$ sowie $x = 0$) wird die Differenzspannung U_D nahezu null, genauer gilt:

$$|A|(1) = \left| \frac{\varepsilon}{9 + 3\varepsilon} \right| \approx \frac{|\varepsilon|}{9}. \quad (4.3)$$

Andererseits gilt für Gleichspannung sowie für große Frequenzen ($\Omega \rightarrow \infty$)

$$|A|(0) = |A|(\infty) = \left| \frac{1}{3 + \varepsilon} \right| \approx \frac{1}{3}.$$

Die Phase φ_A der abgestimmten Brücke ($\varepsilon = 0$) springt an der Resonanzstelle von -90° bei $\Omega \lesssim 1$ auf $+90^\circ$ bei $\Omega \gtrsim 1$. Bei der verstimmt Brücke ($\varepsilon \neq 0$) ist der Phasengang zwar stetig aber selbst für größere Verstimmungen von bis zu $|\varepsilon| = 0,1$ noch recht steil. Für den WR–Oszillator ist der Fall $\varepsilon \gtrsim 0$ von Interesse.

4.2 Wien–Robinson–Oszillator

Die Schaltung des WR–Oszillators ist in Abb. 4.3 zu sehen. Hierbei handelt sich um einen Operationsverstärker,

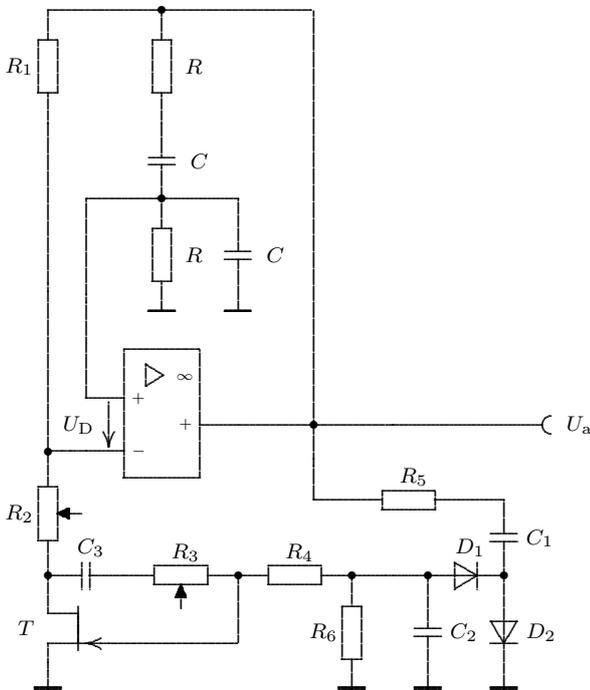


Abb. 4.3: Wien–Robinson–Oszillator

dessen Ausgangsspannung U_a über eine WR–Brücke auf den Eingang zurückgekoppelt wird. Die Schleifenverstärkung ist durch

$$v \equiv A(\Omega)A_D \quad (4.4)$$

gegeben. Darin ist $A(\Omega)$ die durch (4.1) gegebene Übertragungsfunktion der WR–Brücke, die hier als Rückkopplungsfaktor auftritt. Als Vorwärtskopplungsfaktor tritt die Differenzverstärkung A_D des Operationsverstärker auf. Die beiden Schwingungsbedingungen sind allgemein

$$\begin{aligned} 1. \text{ Amplitudenbedingung} & : |v| = 1 \quad \text{und} \\ 2. \text{ Phasenbedingung} & : \varphi_v = 0. \end{aligned} \quad (4.5)$$

Der ohmsche Spannungsteiler der WR–Brücke wird durch den Widerstand R_1 gebildet sowie durch die Reihenschaltung von R_2 mit dem Drain–Source–Widerstand R_{DS} des selbstleitenden Feldeffekttransistors T . Mit der Schreibweise aus Abb. 4.1 gilt also

$$\frac{R_1}{2 + \varepsilon} = R_2 + R_{DS}. \quad (4.6)$$

Durch den Transistor erfolgt eine automatische Verstimmung der Brücke auf gerade den ε –Wert, bei dem die Schwingungsbedingungen (4.5) erfüllt sind. Dazu wird über dem spannungsverdoppelnden Gleichrichter $R_5, C_1, D_1, R_6, C_2, D_2$ und dem Widerstand R_4 der Transistor T gerade soweit gesperrt, dass die Gleichung (4.6) für ein gewisses $\varepsilon \gtrsim 0$ erfüllt ist. Bezeichnet R_{DSon} den kleinsten Wert für R_{DS} , welcher im durchgeschalteten Zustand angenommen wird¹⁾, so folgt aus (4.6) die Bedingung

$$R_2 < \frac{R_1}{2} - R_{DSon}. \quad (4.7)$$

Wird sie verletzt, d.h., wird R_2 zu groß, dann gilt $\varepsilon < 0$ und aus dem Phasengang in Abb. 4.2 ersehen wir, dass alle Frequenzanteile um $\pm 90^\circ \dots \pm 180^\circ$ in der Phase verschoben und somit gegengekoppelt werden. Nur für $\varepsilon > 0$ beträgt die Phasenverschiebung in der Nähe der Resonanzfrequenz nahezu null, so dass die Phasenbedingung aus (4.5) erfüllt ist.

Der Frequenzbereich, in dem die Phasenbedingung annähernd erfüllt ist, wird umso kleiner, je weniger die Brücke verstimmt ist, d.h., je dichter ε bei null liegt (s. Abb. 4.2). Allerdings zeigt der Amplitudengang der WR–Brücke bei der Resonanzfrequenz eine starke Abschwächung. Damit die Amplitudenbedingung bei einer möglichst geringen Verstimmung erfüllt wird, muss diese Abschwächung durch eine hinreichend große Differenzverstärkung A_D des Operationsverstärkers ausgeglichen werden. Je größer A_D , umso geringer kann ε werden und umso genauer schwingt die Schaltung bei der Resonanzfrequenz (4.2) mit einem kleinen Klirrfaktor. Aus (4.3), (4.4) und der Amplitudenbedingung in (4.5) folgt

$$\varepsilon \approx \frac{9}{A_D} \approx 10^{-4}, \quad (4.8)$$

wenn die Differenzverstärkung $A_D \approx 10^5$ vorausgesetzt wird.

Nach dem Einschalten der Stromversorgung steigt die Amplitude $|U_a|$ der Ausgangsspannung solange an, bis nach (4.8) und (4.6)

$$\begin{aligned} R_{DS} & \approx \frac{R_1}{2 + \frac{9}{A_D}} - R_2 \\ & \approx \frac{R_1}{2} - R_2 \end{aligned}$$

gilt. Je kleiner R_2 gewählt wird, desto größer muss $|U_a|$ werden, damit T stärker sperrt (d.h., R_{DS} wächst).

¹⁾Die Gate–Source–Spannung ist hierbei null und es gilt $R_{DSon} \approx 300 \dots 500\Omega$

Durch den Spannungsteiler aus R_3 und $R_4 (\approx R_3)$ wird ein Teil der Drain–Source–Spannung des Transistors zum Gatepotential addiert. Dies verbessert die Linearität der Fet–Ausgangskennlinie und trägt somit zur Verringerung des Klirrfaktors der Ausgangsspannung des WR–Oszillators bei. Durch Feinabgleich von R_3 lassen sich Klirrfaktoren verkleinern. Der Kondensator C_3 sorgt für eine Geichstromentkopplung, so dass in den invertierenden Eingang des Operationsverstärkers kein Gleichstrom fließt, der eine Nullpunktverschiebung der Ausgangsspannung verursachen würde.

Damit die Amplitudenregelung über den gleichrichtenden Spannungsverdoppler in der gewünschten Weise funktioniert, sollten für die Zeitkonstanten des Gleichrichters

$$R_5 C_1 \gg RC \quad \text{sowie} \quad R_6 C_2 \gg RC$$

gelten.

(Literaturempfehlungen: [12, 7])

4.3 Versuchsdurchführung

Aufgaben zur Vorbereitung

1. Verifizieren Sie die Übertragungsfunktion (4.1) der WR–Brücke in Abb. 4.1.
2. Dimensionieren Sie die Schaltung des WR–Oszillators in Abb. 4.3 für die Frequenz von ca. 10 kHz. Verwenden Sie den Operationsverstärker LF 356N und den Feldeffekttransistor SM 104 (s. Datenblätter).

Versuchsaufgaben

1. Bauen Sie zunächst nur die WR–Brücke auf und messen Sie deren Amplituden– und Phasenfrequenzgang für die beiden Verstimmungen $\varepsilon \approx \pm 0,1$.
2. Bauen Sie den vollständigen WR–Oszillator auf und nehmen Sie die Schaltung in Betrieb, d.h., suchen Sie gegebenenfalls Fehler und stimmen Sie die Schaltung ab.
3. Oszillographieren Sie die Ausgangsspannung synchron mit den Spannungen am Gate des Feldeffekttransistors für die Ausgangsamplituden 1V und 5V (Betriebspannung $\pm 15V$).
4. Messen Sie bei der Schwingungsamplitude der Ausgangsspannung U_a von ca. 1V die Oszillatorfrequenz und –amplitude in Abhängigkeit von der Betriebspannung $\pm U_s = \pm 5 \dots \pm 15 V$.
5. Messen Sie den Klirrfaktor der Ausgangsspannung für die Ausgangsamplituden 1V und 5V (Betriebspannung $\pm 15V$).

6. Messen Sie die maximale zeitliche Frequenzabweichung des Oszillators bei einer Betriebsdauer von ca. 15min.

Geräte

Geräteart	Typ	Anzahl
Stromversorgung	PS 280	1
Oszilloskop	MAMEG HM 1508–2	1
Funktionsgenerator	Textronix AFG 3022B	1
Multimeter	VOLTCRAFTplus VC 920	1
Klirrfaktormesser	PMZ–8A	1
unbestückte Versuchsplatine		
Bauteilsortiment		
Lötwerkzeug		

Layout der Versuchsplatine

Das Layout der Versuchsplatine zeigt Abb. 4.4. Folgende Hinweise sind zu beachten:

1. Ordnen Sie die Bauelemente auf der Platinenseite an, die den Leiterzügen *gegenüber* liegt.
2. Wählen Sie *vor* dem Bohren der Platine die Bauelemente aus, um von vornherein die richtigen Bohrdurchmesser wählen zu können.
3. Säubern Sie die Platine vor dem Löten mit einem Scheuerstein von Oxiden oder anderen Verschmutzungen wie z. B. Fingerabdrücke.
4. Verwenden Sie für den Operationsverstärker und den Feldeffekttransistor geeignete IC-Fassungen.
5. Für die WR-Bücke suchen Sie aus dem Bauelementesortiment jeweils ein Paar von Bauelementen R und C gleicher Größe aus, so dass technologisch bedingte Toleranzen der Bauelemente gleicher Nennwerte möglichst ausgeglichen werden. Messen Sie dazu einige Bauelemente mit dem Multimeter aus.
6. Auf der Platine sind Lötbuchsen für einen Kondensator zur Glättung (Abblockung) der Betriebsspannungen $\pm U_s$ vorgesehen. Dadurch können störende Eigenschwingungen des Operationsverstärkers LF356N im Bereich von einigen 10MHz unterdrückt werden.
7. Die Lötbuchsen an den Anschlüssen 1 und 8 des Operationsverstärkers bleiben für den LF356N *ungenutzt*. Sie dienen für einige nahezu pin-kompatible Typen von Operationsverstärkern zur externen Frequenzkompensation. (Der hier verwendete LF356N hat eine interne Kompensation.)
8. Der einstellbare Widerstand R_2 der Schaltung in Abb. 4.3 wird in der Versuchsschaltung durch die Reihenschaltung eines Festwiderstandes R_2^* mit dem Einstellregler R_2^{**} realisiert. Dies erleichtert bei geeigneter Dimensionierung die Abstimmung.
9. Verwenden Sie für die Zuführungen der Betriebsspannungen $\pm U_s$, des Bezugspotentials \perp sowie für die Ausgangsspannung U_a Telefonbuchsen.
10. Montieren Sie an den vier Ecken der Platine Abstandshalter.

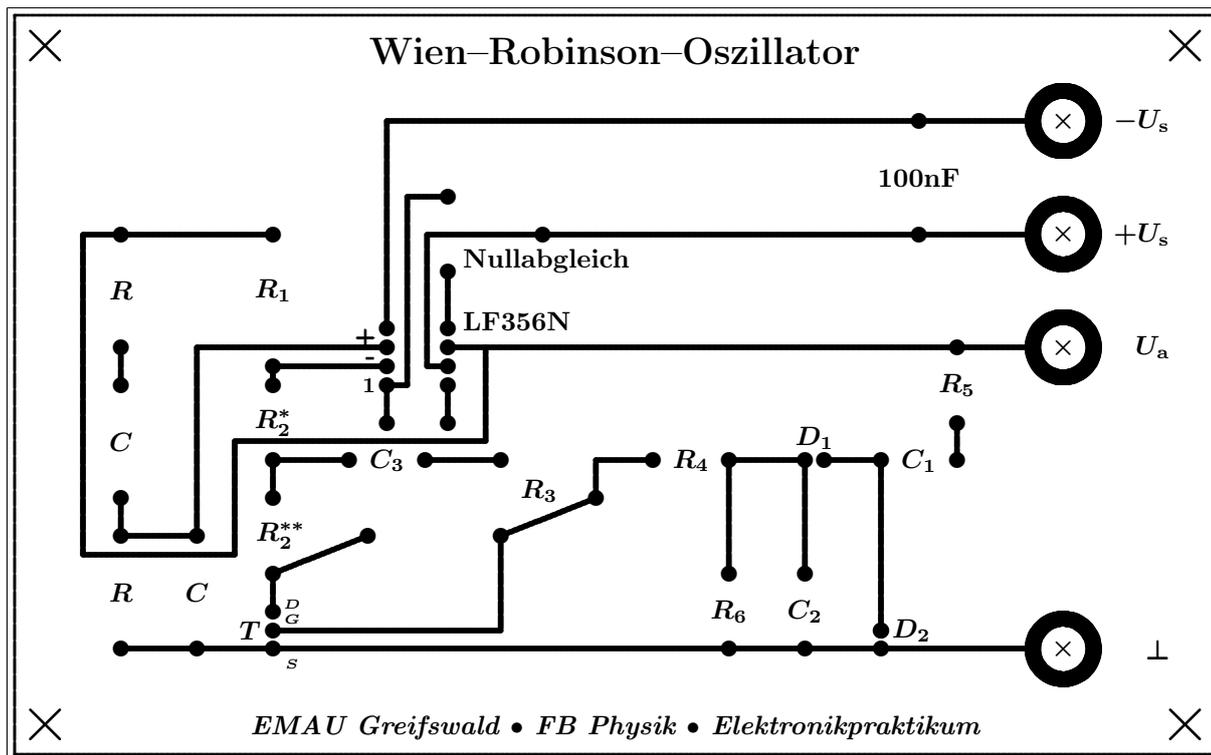


Abb. 4.4: Layout der Versuchsplatine zum Wien–Robinson–Oszillator im Maßstab 1:1

Teil III

Digitale Schaltungen

Mit digitalen Schaltungen werden Verknüpfungen der zweiwertigen Logik elektronisch realisiert. Derartige Schaltungen bilden die Grundlage von Digitalrechnern, moderner Nachrichtenelektronik, Meßgeräten u.v.a.m.

Für das Verständnis digitaler Schaltungen sind Kenntnisse der zweiwertigen Aussagenlogik erforderlich. Eine Darstellung relevanter Bestandteile der Aussagenlogik findet sich im Kapitel 11.

Die erste Versuchsserie (Kapitel 5) beschäftigt sich mit Grundeigenschaften logischer Gatter, den elementaren Bausteinen logischer Schaltungen.

Digitale Schaltungen lassen sich in zwei Gruppen einteilen — in *kombinatorische* und *sequentielle* Schaltungen.

Kombinatorische Schaltungen sind statische Zuordner, bei denen logische Ausgangswerte durch die momentanen Eingangsvariablen bestimmt sind. Solche Schaltungen werden im Kapitel 6 behandelt.

Sequentielle Schaltungen enthalten interne Speicher. Bei ihnen hängen die Ausgangswerte neben den momentanen Eingangsvariablen auch vom aktuellen Zustand der Speicher ab. Derartige Schaltungen sind Gegenstand von Kapitel 7.

Als generelle Literaturempfehlungen verweisen wir auf die Bücher [12, 7, 10].

Kapitel 5

Logisches Gatter

5.1 Grundlagen

Einen Grundbaustein zur schaltungstechnischen Realisierung logischer Verknüpfungen nennt man *Gatter*. Beim Rechnen mit logischen Variablen spielen die Konjunktion und Disjunktion zusammen mit der Negation eine besondere Rolle. Deshalb sind in der Regel das NAND- und das NOR-Gatter die sogenannten *Grundgatter*. Die entsprechenden Schaltungssymbole zeigt Abb. 5.1.

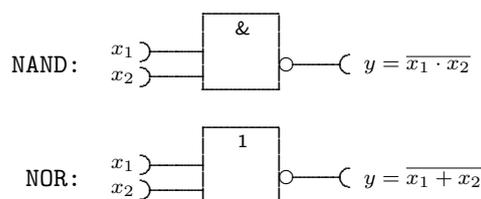


Abb. 5.1: Schaltungssymbole zum NAND- und NOR-Gatter

Die logischen Werte „wahr“ und „falsch“ werden durch gewisse Spannungen repräsentiert, dem H(igh)-Pegel U_H und dem L(ow)-Pegel $U_L < U_H$. Genauer müsste man von *Pegelbereichen* sprechen, die den logischen Werten zugeordnet sind, und U_H bzw. U_L als einen Repräsentanten dieser Bereiche ansehen.¹⁾ Im sogenannten *positiven Logiksystem* werden U_H mit „wahr“ und U_L mit „falsch“ identifiziert, wohingegen im *negativen Logiksystem* die Verhältnisse umgekehrt sind. Alle folgenden Ausführungen beziehen sich auf das positive System.

Liegt beim NAND-Gatter zumindest an einem der Eingänge x_1 oder x_2 das Potential U_L , so liefert der Ausgang $y = U_H$. Nur wenn beide Eingänge „high“ sind, liefert der Ausgang „low“. Schaltet man beide Eingänge zusammen, also setzt man $x_1 = x_2$, so arbeitet das Gatter als logischer Negierer.

Das NOR-Gatter liefert am Ausgang nur dann „high“, wenn beide Eingänge „low“ sind. Würden wir vom positiven zum negativen Logiksystem übergehen, so würde das NOR- zum NAND-Gatter und umgekehrt.

Prinzipiell lassen sich alle logischen Verknüpfungen,

¹⁾ Grundsätzlich könnte man z.B. auch gewisse Strombereiche mit „wahr“ und „falsch“ identifizieren, was jedoch heutzutage unüblich ist.

von einfachen logischen Funktionen angefangen, über Flip-Flops, Zähler, Schieberegister bis hin zu Mikrorechnern, mit einer Schaltung realisieren, die *allein* aus NAND-Gattern (oder *allein* aus NOR-Gatter) besteht. Bei umfangreicheren Verknüpfungen greift man allerdings auf spezielle Schaltkreise zurück.

Schaltkreisfamilien

Gatter wie auch andere integrierte Schaltkreise (IC: integrated circuit) werden mit verschiedenen technologischen Verfahren hergestellt. Die in einer bestimmten Technologie hergestellten IC bilden eine Schaltkreisfamilie.²⁾ Die Familien unterscheiden sich neben der Verlustleistung, dem zulässigen Betriebs Spannungsbereich sowie den Herstellungskosten vor allem hinsichtlich der Schalt- bzw. Impulslaufzeit. Entsprechend dem Einsatzgebiet muss der Anwender eine geeignete Schaltkreisfamilie auswählen.

Die Definitionen der charakteristischen Zeiten eines Gatters kann der Abbildung 5.2 entnommen werden. U_a ist die Antwort des Gatters auf einen Eingangsimpuls U_e , der mit einer Schaltung der gleichen Schaltkreisfamilie erzeugt wird („systemeigene Flanken“). U_U ist die sogenannte *Umschaltspannung*, die sich einstellt, wenn Ein- und Ausgang des Gatters verbunden werden.³⁾ Das Umschalten am Ausgang erfolgt mit gewissen Verzögerungen gegenüber den Eingangsflanken. Als Laufzeit (mittlere Signalverzögerungszeit) des Gatters definiert man

$$\tau = \frac{\tau_{HL} + \tau_{LH}}{2}. \quad (5.1)$$

Bei den Schaltkreisfamilien wird zunächst zwischen *bipolaren* und *MOS-Familien* unterschieden, je nachdem, ob bipolare Transistoren oder MOSFET verwendet werden. Gegenüber der Bipolar- bringt die MOS-Technologie u.a. folgende Vorteile:

²⁾ Neben Gattern werden z.B. auch die folgenden Schaltungen integriert hergestellt: Flipflops, Schmitt-Trigger, Leitungstreiber, Interface-Schaltungen, Zähler und Schieberegister. Allein die sogenannte TTL-Familie umfasst mehr als 700 Schaltkreistypen.

³⁾ In der Zeichnung werden die Verzögerungszeiten τ_{LH} bzw. τ_{HL} auf U_U bezogen. Zuweilen wird auch der maximal zulässige Low-Pegel bzw. der minimal zulässige High-Pegel als Bezugspunkt genommen.

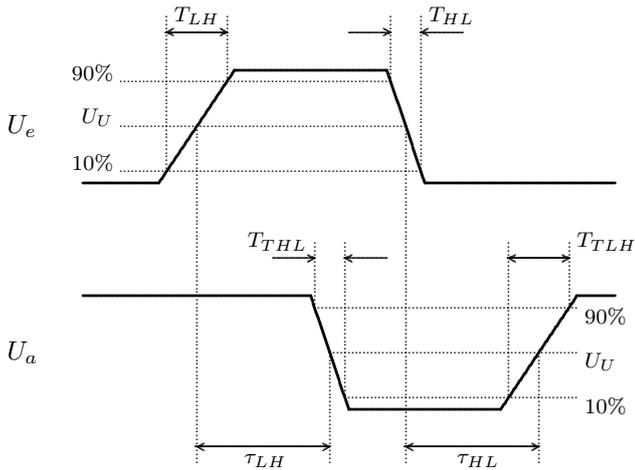


Abb. 5.2: Definition der Schaltzeiten eines Gatters bei Ansteuerung mit einem systemeigenen Impuls U_e

- geringerer Bedarf an Chipfläche (bis zu 10% einiger bipolarer IC),
- weniger technologische Herstellungsschritte,
- geringere Verlustleistung.

Besondere Bedeutung haben die nMOS-, pMOS- und CMOS-Familie, je nachdem ob nur n-Kanal-, nur p-Kanal-FET oder beide MOSFET verwendet werden. Die MOS-Technologie wird vor allem bei hochintegrierten IC angewandt.

Bipolare IC zeichnen sich durch höhere Schaltgeschwindigkeiten aus. Die drei wichtigsten Familien sind

- TTL (Transistor-Transistor-Logik)
- I²L (integrierte Injektions-Logik) und
- ECL (emittergekoppelte Logik).

Einige Parameter eines typischen Gatters wichtiger Schaltkreisfamilien stellt die folgende Tabelle gegenüber:

Familie	Betriebsspannung V	Verlustleistung P_V /mW	Laufzeit/ τ /ns	Laufzeit-Leistungs-Produkt/ $\tau \times P_V$ /pJ
TTL	5	1..19	1,5..10	4..100
I ² L	0,5..0,85	10 ⁻⁶ ..1	1..10 ⁶	0,05..1
ECL	-5,2..-4,5	30..70	0,6..2	18..70
CMOS	3..15	10 ⁻³ ..10 [*])	3..90	0,002..0,03

Familie	Signalhub $U_H - U_L$ V	Ausgangs- lastfaktor	Flächen- bedarf mm ²	statischer Störspan- nungs- abstand V
TTL	3,2	10	0,04	0,4
I ² L	0,5..0,85		0,003	
ECL	0,7	20	0,5	0,2
CMOS	3..15	10..100 [*])	0,03	1,2..6

^{*}) abhängig von der Schaltfrequenz

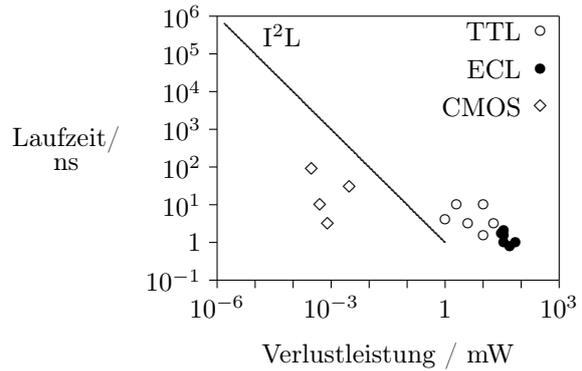


Abb. 5.3: Laufzeit und Verlustleistung einiger Schaltkreisfamilien

Mit ECL-Gattern werden derzeit die kleinsten Gatter-Laufzeiten (Schaltzeiten) erreicht, allerdings bei relativ großen Verlustleistungen von 30 .. 70mW. In ECL-Technologie werden z.B. Zentraleinheiten von Rechnern gefertigt.

In der Regel bedingen geringe Verlustleistungen große Schaltzeiten und umgekehrt. Deshalb werden beide Parameter im *Laufzeit-Leistungs-Produkt* $\tau \times P_V$ zusammengefasst. Dieses sollte möglichst klein sein. Abbildung 5.3 illustriert die gegenwärtige Situation. Zu einer Familie gibt es wiederum viele Unterfamilien, so dass in der Abbildung mehrere gleiche Zeichensymbole auftreten, die allerdings nicht das gesamte Sortiment umfassen. Bei den TTL-Familien ist neben der Standard-TTL mit $\tau \times P_V = 10\text{ns} \times 10\text{mW}$ vor allem die Low-Power-Schottky-TTL (LS-TTL) mit $\tau \times P_V = 10\text{ns} \times 2\text{mW}$ hervorzuheben.

Mit MOS-Logikschaltungen werden relativ große Störspannungsabstände erzielt, wenn man sie bei größeren Betriebsspannungen betreibt. Ihre geringe Verlustleistung und kleiner Chip-Flächenbedarf erlauben eine relativ kompakte Bauweise, was sie besonders geeignet macht für portable, batteriegespeiste Geräte.

Die relativ junge I²L-Familie zeichnet sich durch ihren äußerst geringen Flächenbedarf aus. Darüber hinaus kann man durch Veränderung des Injektionsstromes die Schaltzeit und die Leistungsaufnahme über mehr als 6 Größenordnungen steuern, und dies auch während des Betriebes der Schaltung. Man kann somit extrem geringe Verlustleistungen bis unter 1nW erreichen, wenn keine allzu großen Anforderungen hinsichtlich der Schaltgeschwindigkeit gestellt werden.

Der *Ausgangslastfaktor (fan-out factor)* gibt die maximale Anzahl gleichwertiger Gatter an, mit denen der Ausgang eines solchen Gatters belastet werden kann, so dass die Ausgangsspannung U_y den zulässigen L- bzw. H-Pegelbereich nicht verlässt, wenn $U_y = U_L$ bzw. $U_y = U_H$ gelten müsste. Bei kleineren Schaltgeschwindigkeiten erreicht man mit CMOS-Gattern ein fan-out von bis zu 100. Will man in einer komplexeren digitalen Schaltung mit einem Gatter eine Vielzahl anderer Kom-

ponenten ansteuern, so müssen spezielle Treiber verwendet werden, die auch bei größeren Ausgangsströmen noch steile Schaltflanken liefern. So gibt es z. B. in den Schaltkreisfamilien verschiedene Takt- und Leitungstreiber.

Die IC-Baureihe 74HCT*** ist eine schnelle TTL-kompatible Variante der CMOS-Familie. Ihr Laufzeit-Leistungsprodukt $\tau \times P_V$ beträgt etwa $10\text{ns} \times 10^{-1}\text{mW}$ bei Schaltfrequenzen um 100kHz. Dabei zeichnet sie sich durch folgende Eigenschaften aus:

- bis zu Schaltfrequenzen von ca. 5MHz wesentlich geringere Verlustleistung als Schaltkreise der LS-TTL
- Schaltgeschwindigkeit etwa 5mal so groß wie bei der Standard-CMOS (vergleichbar mit LS-TTL)
- garantierte Ausgangsströme ca. 10mal größer als bei der Standard-CMOS
- Pinkompatibilität zur Standard-TTL (bis auf wenige Ausnahmen)

Damit können in digitalen Schaltungen Standard-TTL-Bausteine nahezu problemlos durch solche der HCT-Baureihe ersetzt werden.

TTL-NAND-Gatter

Ein Grundgatter der Standard-TTL ist das NAND-Gatter. Seine innere Schaltung zeigt die Abbildung 5.4. Charakteristisch ist der Mehrfachemittertransistor am

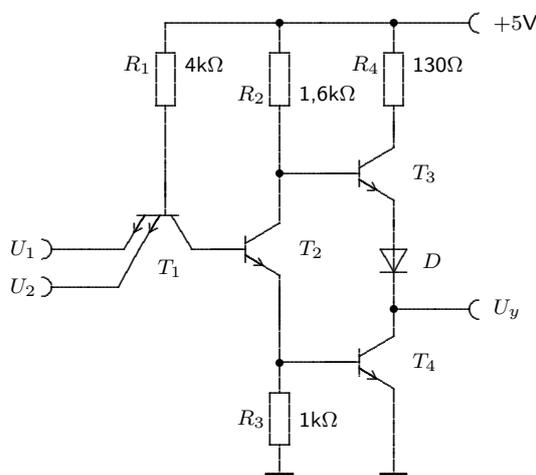


Abb. 5.4: Schaltung eines Standard-TTL-Grundgatters (logisches NAND)

Eingang. Liegt zumindest ein Eingang auf Low-Potential U_L von nahezu 0V (logisch: „falsch“), so gelangt T_1 in Sättigung bei einem Basisstrom von ca. 1mA. Liegen beide Eingänge auf Low-Potential, so teilt sich dieser Strom auf beide Eingänge auf. Der Kollektorstrom von T_1 ist hierbei nahezu null, so dass T_2 sperrt und an seinem Kollektor High-Potential U_H (logisch: „wahr“) liegt.

Nur wenn alle Eingänge auf $U_H \gtrsim 3,6\text{V}$ liegen, sperrt die Basis-Emitter-Diode von T_1 . Die Basis-Kollektor-Strecke von T_1 leitet hierbei (Inversbetrieb) und sein Kollektorstrom fließt in die Basis von T_2 , so dass dieser ebenfalls leitet. Der Kollektor von T_2 liegt dann auf Low-Potential, das allerdings um den Spannungsabfall über R_3 angehoben ist.

Grundsätzlich könnte man für $R_3 \ll R_2$ schon am Kollektor von T_2 die gewünschte NAND-Verknüpfung der Eingangsvariablen abgreifen. Allerdings würde die Schaltung dann bei kapazitiver Last für die Low→High-Flanken am Ausgang keine kurzen Schaltzeiten liefern, müsste doch dann die Lastkapazität über den relativ großen Kollektorwiderstand $R_2 = 1,6\text{k}\Omega$ umgeladen werden. Mit der aus T_3 und T_4 gebildeten Gegentaktenstufe („Totem-pole“-Endstufe) wird der Ausgangswiderstand R_a des Gatters auch bei $U_y = U_H$ relativ niedrig. Für $U_y = U_H$ gilt dann $R_{a,H} \approx 70\Omega$. Leitet andererseits T_4 (T_3 sperrt dann), so erhält man $U_y = U_L$ mit dem noch geringeren Ausgangswiderstand $R_{a,L} = 10 \dots 15\Omega$.

Die Pegelbereiche eines solchen Gatters sind:

L-Pegelbereich $\rightarrow 0 \dots 0,4\text{V}$

H-Pegelbereich $\rightarrow 2,4 \dots 5\text{V}$

Dazwischen liegt der „verbotene“ Bereich, der an den verschiedenen Punkten digitaler Schaltungen in der Regel nur für kurze Zeit, während der Schaltphasen, angenommen wird.

Es gibt auch Gatter, die mehr als 2 Eingänge haben, so z. B. 3, 4 oder 8 Eingänge. Bleibt ein Eingang eines solchen NAND-Gatters unbeschaltet, so liegt er virtuell auf H-Pegel und hat somit keinen Einfluss auf die logische Funktion. Generell sollte man aber im Interesse der Schaltsicherheit ungenutzte Eingänge eines NAND-Gatters auf H-Potential legen, bzw. beim NOR-Gatter auf L-Potential.

Darüber hinaus sei erwähnt, dass es in den verschiedenen Schaltkreisfamilien sogenannte *Leistungsgatter* gibt, die einen größeren Ausgangslastfaktor haben, als das jeweilige Standard-Gatter.

Im Baustein SN7400 sind vier NAND-Gatter auf einem Chip integriert.⁴⁾ Die Anschlussbelegung zeigt Abb. 5.5.

Eine beachtliche Verringerung der Verlustleistung von 10mW bei der Standard-TTL auf 2mW bei der LS-TTL wird erreicht, indem eine Schottky-Diode parallel

⁴⁾ Die Bezeichnung „SN“ verweist auf den Hersteller *Texas Instruments* bzw. *Motorola*. Einige äquivalente Typen sind D 100 (frühere DDR-Produktion), MC 846 (*Motorola Fast*), HD 100 (*Hitachi*) und N (*VALVO*).

Die ersten beiden Ziffern „74“ kennzeichnen den Temperaturbereich $0 \dots 70^\circ\text{C}$. Die Reihe 54 gilt für den Temperaturbereich $-55 \dots 125^\circ\text{C}$ und SN84 für $-25 \dots 85^\circ\text{C}$.

Die letzten beiden Ziffern „00“ das 4-fach-NAND-Gatter. Das 4-fach-NOR-Gatter in dieser Reihe trägt die Bezeichnung SN7402.

Die Gehäuseform wird mit ein oder zwei Buchstaben am Ende angegeben. So bedeutet z. B. SN7400 N, dass es sich um „Plastic dual in line“ handelt.

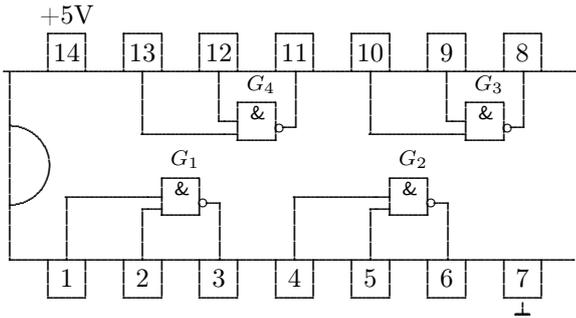


Abb. 5.5: Anschlußbelegung der integrierten Schaltung SN7400

zur Basis-Kollektor-Strecke der Transistoren geschaltet wird. Bei einem solchen „Schottky-Transistor“ kann die Kollektor-Emitter-Spannung nicht unter 0,3V sinken, so dass die Transistoren nicht in Sättigung gelangen. In einem solchen LS-TTL-Gatter werden die Widerstände R_1 , R_2 und R_3 etwa 5mal so groß wie beim Standard-TTL-Gatter in Abb. 5.4 gewählt. Die LS-TTL-Baureihe wird mit SN74LS** gekennzeichnet — z. B. enthält der IC SN74LS00 vier NAND-Gatter mit der Anschlussbelegung wie in Abb. 5.5.

Gatter mit offenem Kollektorausgang

Die Ausgänge von zwei Gattern, wie wir sie oben betrachtet haben (z. B. in Abbildung 5.4) dürfen nicht zusammengeschlossen werden, würden doch dann bei einander inversen Ausgangszuständen große Ströme fließen, die zum einen die Gatter thermisch zerstören und zum anderen nicht definierte logische Zustände hervorrufen könnten. Gatter mit offenem Kollektor bieten hier eine Alternative. Diese Gatter haben in der Ausgangsstufe einen npn-Transistor, dessen Emitter an Masse liegt und dessen intern unbeschalteter Kollektor als Gatterausgang fungiert. Die Ausgänge von solchen Gattern dürfen zusammengeschlossen und mit einem gemeinsamen Kollektorwiderstand R_C betrieben werden (Abbildung 5.6).

Nur dann, wenn alle Gatter G_1 bis G_n am Ausgang logisch „High“ liefern, also ein jeder der Ausgangstransistoren sperrt, liegt am gemeinsamen Knoten auch „High“ an. Sobald ein oder mehrere Gatter „Low“ liefern, liegt am gemeinsamen Knoten auch „Low“ an. Damit wird also eine n -fache logische Konjunktion der einzelnen Gatterausgänge realisiert. Diese Art der Schaltung heisst auch *Wired-AND-Schaltung*, weil sie durch die äußere Verdrahtung realisiert ist. Der Ausgang eines Gatters mit offenem Kollektor ist nur im „Low“-Ausgangszustand niederohmig. Man nennt diesen Ausgang deshalb auch *Aktiv-Low-Ausgang*.

Der IC SN7409 enthält 4 AND-Gatter mit je zwei Eingängen und einem offenen Kollektorausgang. Die Pin-Belegung ist wie beim IC SN7400 (Abbildung 5.5).

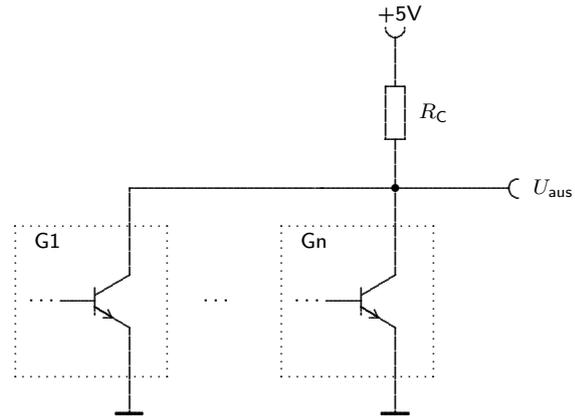


Abb. 5.6: Verschaltung von n Gattern $G_1 \dots G_n$ mit offenem Kollektorausgängen

Gatter mit Tristate-Ausgängen

Die Gatter $G_1 \dots G_i \dots G_n$ mit offenem Kollektor seien wie in der Abbildung 5.6 zusammengeschaltet. Alle Gatter mögen am Ausgang fest auf logisch „High“ liegen (Ausgangstransistor sperrt), und nur bei einem Gatter, G_i , lassen wir beide Zustände zu (Ausgangstransistor sperrt oder leitet). Dann ist der Ausgang U_{aus} offenbar allein durch den Zustand von G_i bestimmt. Das können wir ausnutzen, um den logischen Zustand einer Signalleitung wahlweise von verschiedenen Gattern zu bestimmen, die wir uns an der Buchse U_{aus} angeschlossen denken: Alle konstant hochohmigen Gatter sind wie „abgeschaltet“, und nur das verbliebene Gatter bestimmt dann den logischen Zustand der Signalleitung. Dies nennt man *Bus-System*.

Bei diesem Verfahren ist der relativ große Ausgangswiderstand R_C nachteilig, der wirksam ist, wenn „High“ auf der Signalleitung liegt. Deshalb gibt es spezielle Gatter mit *Tristate-Ausgängen*, die im Ausgang eine Gegenaktstufe haben und somit bei „High“ wie bei „Low“ einen niederohmigen Ausgang besitzen. Wesentlich ist, dass ihr Ausgang im Vergleich zu üblichen Gattern einen zusätzlichen dritten Ausgangszustand zulässt: den *hochohmigen* Ausgang. Dies wird über den zusätzlichen *Enable-Eingang* (EN-Eingang) gesteuert:

$$\overline{EN} = \begin{cases} 1 & : \text{Ausgang hochohmig} \\ 0 & : \text{Ausgang niederohmig} \end{cases}$$

Somit können Tristate-Gatter am Ausgang zusammengeschaltet werden, sofern immer nur ein Gatter gleichzeitig am Ausgang niederohmig ($\overline{EN} = 0$) geschaltet wird. Gatter mit $\overline{EN} = 1$ sind vom Bus abgeschaltet und können so angesehen werden, als wären sie nicht vorhanden.

Tristate Ausgänge finden sich vor allem in komplexeren digitalen Schaltungen.⁵⁾

⁵⁾ Tristate-Ausgänge hat z. B. der IC SN74173 (4 D-Flip-Flops).

5.2 Versuchsdurchführung

Versuchsaufgaben

1. Schalten Sie beide Eingänge eines Gatters (SN7400) zusammen und messen Sie seine Ausgangsspannung U_y in Abhängigkeit von der Eingangsspannung $U_x = 0 \rightarrow 5V$ und $U_x = 5 \rightarrow 0V$.

Führen Sie diese Messung zunächst quasistatisch durch, indem Sie die Zeit, in welcher U_x im angegebenen Wertebereich verändert wird, sehr groß gegenüber der Gatterlaufzeit von 10ns wählen (U_x aus Stromversorgungsgerät, Spannungsmessung mit Multimetern).

Wiederholen Sie die Messung, indem sie das Gatter mit systemeigenen Rechteckimpulsen der Frequenz 1MHz und 10MHz ansteuern.

Den *systemeigenen Takt* (Rechteckimpulse) erzeugen Sie mit dem Funktionsgenerator Textronix AFG 3022B(Ausgang TTL ohne 50Ω Abschlusswiderstand) und einem nachgeschalteten Gatter.

Oszillographieren Sie zeitsynchron Ein- und Ausgangsspannung mit dem Oszilloskop.

Ermitteln Sie die charakteristischen Schaltzeiten entsprechend der Abb. 5.2.

2. Messen Sie für ein Gatter (SN7400) die Verlustleistung in Abhängigkeit von der Schaltfrequenz im Bereich 1kHz bis 10MHz. Führen Sie die Messung für den IC SN 7400 sowie SN 74HCT00 durch. (Erzeugung des systemeigenen Taktes wie in Aufgabe 1).
3. Belasten Sie den Ausgang eines Gatters (SN7400) nacheinander mit bis zu drei anderen Gattern und messen Sie die Änderung der Ausgangsspannung U_y für die Fälle $U_y = U_L$ und $U_y = U_H$. Ermitteln Sie daraus den Ausgangslastfaktor eines Gatters. Führen Sie die Messung auch für den IC SN74HCT00 durch.
4. Messen Sie die beiden Eingangsströme eines Gatters (SN7400) für die Eingangsbelegungen
 1. $U_1 = U_2 = U_L$,
 2. $U_1 = U_2 = U_H$ und
 3. $U_1 = U_H, U_2 = U_L$.
5. Messen Sie die maximale Verlustleistung der Ausgangsstufe eines Gatters des IC SN7409 (Gatter mit offenem Kollektorausgang) für drei verschiedene Werte des externen Kollektorwiderstands R_C . Beachten Sie, dass die maximale Verlustleistung bei 10mW liegt. (Pin-Belegung wie in Abbildung 5.5).
6. Messen Sie die Flankensteilheit am Ausgang eines Gatters des IC SN7409 für die drei Kollektorwiderstände aus Aufgabe 5.

7. Realisieren Sie eine Achtfach-AND-Verknüpfung mit den 4 Gattern des IC SN7409.

Geräte

Geräteart	Typ	Anzahl
Versuchsplatine	Logisches Gatter	1
Stromversorgung	PS 280	1
Oszilloskop	MAMEG HM 1508-2	1
Funktionsgenerator	Textronix AFG 3022B	1
Multimeter	VOLTCRAFTplus VC 920	2

Kapitel 6

Kombinatorische Schaltungen

Kombinatorische Schaltungen sind statische Zuordner, bei denen N logische Ausgangswerte

$$\mathbf{y} = y_1, \dots, y_n, \dots, y_N$$

durch die M momentanen Eingangsvariablen

$$\mathbf{x} = x_1, \dots, x_m, \dots, x_M$$

bestimmt sind,

$$y_n = f_n(\mathbf{x}) .$$

Kombinatorische Schaltungen setzen somit logische Funktionen technisch um, wobei im Unterschied zu sequentiellen Schaltungen (s.u.) Variablenpeicher *keine* Rolle spielen. Der Funktionswert liegt nach dem Anlegen der Eingangsvariablen sofort (nach den Schaltzeiten) am Ausgang an. Frühere Schaltungszustände spielen keine Rolle, sie werden „vergessen“.

6.1 Grundsaltungen

Test auf Gleichheit

Zwei Binärworte sind gleich, wenn Sie in einer jeden Binärstelle übereinstimmen. Ein Tester auf Gleichheit testet zunächst eine jede Binärstelle x_1 und x_2 des ersten bzw. zweiten Binärwortes auf Gleichheit. Die entsprechende logische Verknüpfung heisst *Äquivalenz*, mit der Wahrheitstabelle:

x_1	x_2	$x_1 \equiv x_2$
0	0	1
1	0	0
0	1	0
1	1	1

Die zugehörige disjunktive Normalform lautet

$$\begin{aligned} y &= x_1 \equiv x_2 \\ &= \overline{x_1} \overline{x_2} + x_1 x_2 \\ &= \overline{\overline{\overline{x_1} \overline{x_2}} \cdot \overline{\overline{x_1} x_2}} . \end{aligned}$$

Die Äquivalenz-Operation kann auch als Negation der Antivalenz aufgefasst werden (vgl. Gl. (11.32) auf S. 87),

$$\begin{aligned} y &= x_1 \equiv x_2 \\ &= \overline{x_1 \oplus x_2} \end{aligned}$$

Die Antivalenz kann mit 4 NAND-Gattern realisiert werden (Abb. 6.1).

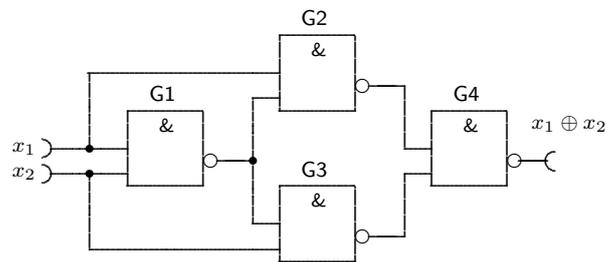


Abb. 6.1: Antivalenz mit 4 NAND-Gattern

Binäraddition

Zwei Binärzahlen werden arithmetrisch addiert, indem zunächst die niederwertigsten Stellen x_1 und x_2 addiert werden und gegebenenfalls ein Übertrag u auf die höherwertige Stelle erfolgt, ebenso, wie es bei der Addition im Dezimalsystem üblich ist. Dazu sind letztlich zwei logische Funktionen zu realisieren:

x_1	x_2	Summe s	Übertrag u
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

Somit stellt sich die Operation der arithmetischen Summation zweier Binärziffern x_1 und x_2 dar durch die beiden logischen Operationen Antivalenz — für die Summe s — und Konjunktion — für den Übertrag u ,

$$\begin{aligned} s &= x_1 \oplus x_2 \\ u &= x_1 \cdot x_2 . \end{aligned}$$

Dabei werden die Ziffern „0“ und „1“ des binären Zahlensystems mit den logischen Zuständen „falsch = 0“ bzw. „wahr = 1“ der Booleschen Algebra identifiziert.

Eine logische Schaltung, welche die obige Wahrheitstabelle realisiert, heisst *Halbaddierer* oder auch *Halbadder*. Das entsprechende Schaltungssymbol zeigt die Abbildung 6.2. Eine schaltungstechnische Realisierung des

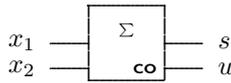


Abb. 6.2: Schaltsymbol vom Halbadder

Halbadders mit NAND-Gattern kann man wie folgt erreichen: Die Summe s erzeugt die Antivalenz-Schaltung in Abbildung 6.1, und der Übertrag u entsteht durch Negation des Ausgangs vom Gatter G1 dieser Schaltung.

Ein Halbadder hat also zwei Eingänge für die Operanden x_1 und x_2 sowie zwei Ausgänge für die Summe s und den Übertrag u . Dies wird bei der Addition der niederwertigsten Binärstelle einer Binärzahl benötigt. Für alle weiteren Binärstellen benötigen wir ein *Volladder*, welches gegenüber dem Halbadder einen zusätzlichen Eingang u_e für den Übertrag von der vorherigen Stelle besitzt. Die Wahrheitstabelle des Volladders lautet:

x_1	x_2	u_e	Summe s	Übertrag u
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

Das Schaltungssymbol des Volladders zeigt die Abbildung 6.3. Man kann das Volladder im wesentlichen

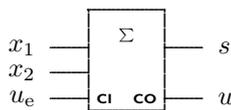


Abb. 6.3: Schaltsymbol vom Volladder

aus zwei Halbaddern aufbauen, wie es die Abbildung 6.4 zeigt.¹⁾

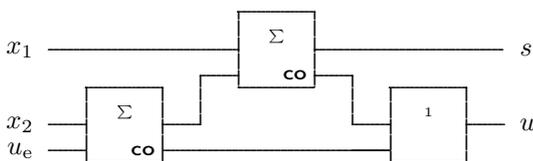


Abb. 6.4: Volladder aus zwei Halbaddern und OR-Gatter

¹⁾Volladder sind auch monolithisch integriert verfügbar, so bilden zum Beispiel die ICs SN7480 ein 1-Bit-Volladder und SN7484 ein 4-Bit-Volladder.

Ein Codeumsetzer: Siebensegmentanzeige

In den verschiedensten Geräten (z. B. Multimetern, Digitaluhren und Taschenrechnern) zeigt man häufig eine dual codierte Dezimalzahl mit einem Anzeigeelement aus sieben Segmenten an, wie es die Abbildung 6.5 zeigt. Für

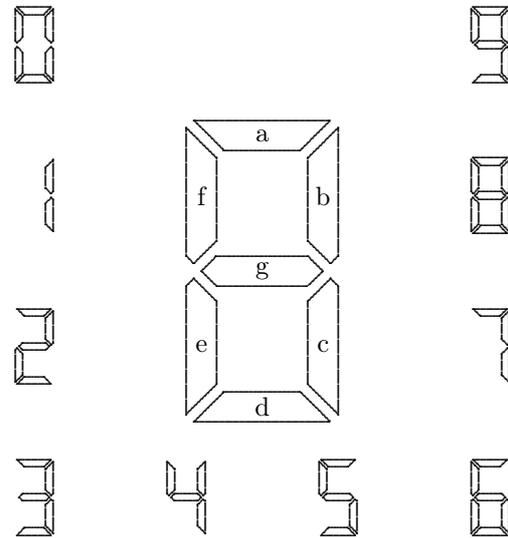


Abb. 6.5: Siebensegment-Anzeigeelement

eine solche Anzeige müssen sieben logische Funktionen in vier Variablen realisiert werden. Für das a-Segment ist die Wahrheitstabelle auf der Seite 88 bereits angegeben. Dieses Segment leuchtet nicht (d.h., $y \equiv a = 0$) nur bei den Ziffern „1“ und „4“.²⁾ Da es sich bei dieser Anzeige um eine Standardaufgaben handelt, gibt es für eine derartige Decodierung spezielle IC, z. B. SN 7446, wenngleich man auch diese logischen Verknüpfungen allein mit NAND-Gattern realisieren kann.

6.2 Versuchsdurchführung

Aufgaben zur Vorbereitung

1. Entwickeln Sie den Schaltplan eines Volladders aus (möglichst wenigen) NAND-Gattern.
2. Stellen Sie Wahrheitstabellen für die logischen Funktionen zu den Segmenten der Siebensegmentanzeige auf und leiten Sie mit Hilfe von Karnaugh-Tafeln gekürzte Normalformen ab. Minimieren Sie den schaltungstechnischen Aufwand für die Segmente in ihrer Gesamtheit, indem Sie gleiche logische Zwischenergebnisse verschiedener Segmentfunktionen mehrfach nutzen.

²⁾Zuweilen stellt man die „6“ auch ohne leuchtendem a-Segment dar.

Versuchsaufgaben

1. Bauen Sie eine Schaltung zum Test auf Gleichheit zweier Binärstellen. Verwenden Sie nur NAND-Gatter des IC SN7400. Messen Sie die Zeit für einen Gleichheitstest.
2. Bauen Sie aus NAND-Gattern des IC SN7400 ein Volladder auf. Verifizieren Sie die entsprechende Wahrheitstabelle.
3. Realisieren Sie eine Siebensegmentanzeige mit möglichst geringem Schaltungsaufwand. Ihnen stehen auf dem Kombinatorik-Schaltbrett die folgenden NAND-Gatter zur Verfügung:

Gatter aus IC	Anzahl	# Eingänge	fan-out
SN 7420	18	4	10
SN 7440	8	4	30
SN 7430	2	8	10

Darüber hinaus liegen die vier Eingangsvariablen x_1 bis x_4 immer auch negiert vor, so dass *kein* zusätzlicher Aufwand für deren Negation entsteht.

Geräte

Geräteart	Typ	Anzahl
Steckplatine	„Conrads“	1
Schaltbrett	<i>Kombinatorik</i>	1
Stromversorgung	PS 280	1
Oszilloskop	MAMEG HM 1508-2	1
Funktionsgenerator	Textronix AFG 3022B	1

Kapitel 7

Sequentielle Schaltungen

Sequentielle Schaltungen enthalten interne Speicher

$$\mathbf{s} = s_1, \dots, s_k, \dots, s_K \ .$$

Bei ihnen hängen die Ausgangswerte y_n neben den momentanen Eingangsvariablen \mathbf{x} auch vom aktuellen Zustand der Speicher ab,

$$y_n = f_n(\mathbf{x}, \mathbf{s}) \ .$$

Die systematische Entwicklung sequentieller Schaltungen ist deshalb im allgemeinen bedeutend komplizierter als die von kombinatorischen.

Die Vielfalt sequentieller Schaltungen reicht von simplen Schaltungen zur Impulsbildung und -formung über verschiedene Flipflops, Schieberegister und Zähler bis hin zu Rechenschaltungen und letztlich solch komplexen Schaltungen wie Mikroprozessoren, die z.T. aus mehreren Millionen Transistoren bestehen. Hier können jedoch nur einige elementare Grundschaltungen behandelt werden.

7.1 Grundschaltungen

Schmitt-Trigger

Komplexere digitale Schaltungen werden häufig getaktet, wobei die Taktimpulse extrem kurz werden können. Je rascher eine digitale Schaltung getaktet werden kann, desto schneller erfolgt die Informationsverarbeitung, was z. B. in komplexen Rechenanlagen äußerst wichtig ist. Grundsätzlich kann die Taktperiode ungefähr bis zur Gatterlaufzeit verringert werden. Bei der Standard-TTL liegt sie bei 10ns, so dass die Taktfrequenz nahezu 100MHz betragen kann. Hinzu kommt, dass ideale Taktimpulse möglichst rechteckförmig sein sollen, d.h., die Impulse sollen möglichst steile Flanken aufweisen. Bei der Taktfrequenz von 10MHz (= Grundfrequenz) müssen dazu harmonische Oberwellen von mehreren 10MHz von der Schaltung noch verarbeitet werden können.

In realen Schaltungen werden durch die verschiedensten parasitären Tiefpässe die Flanken der Rechteckimpulse abgeflacht, so dass besonders in zeitkritischen (hochfrequenten) Fällen die Rechteckimpulse regeneriert

werden müssen. Dazu dienen Schmitt-Trigger, die zum Teil im IC integriert sind.¹⁾ Eine einfache Möglichkeit zur Flankenversteigerung mit zwei Gattern bietet der Schmitt-Trigger in Abbildung 7.1.

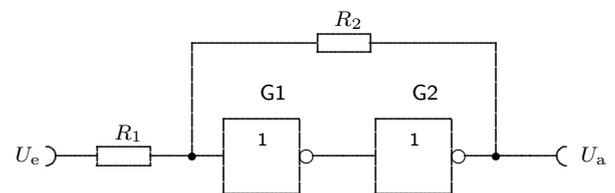


Abb. 7.1: Schmitt-Trigger mit Gattern (Negatoren)

Astabiler Multivibrator

Eine einfache Möglichkeit zur Erzeugung hochfrequenter Rechteckimpulse zeigt die Abbildung 7.2. Die Funktion der Schaltung ist ähnlich jener mit Bipolartransistoren im Schalterbetrieb anstelle der Gatter (früherer Praktikumsversuch). Die Dioden dienen dem Schutz der Schaltkreise, sie unterdrücken die sonst beim Umschalten auftretenden negativen Spannungsspitzen. Werden Standard-TTL-Gatter verwendet, so arbeitet der Multivibrator mit der Frequenz

$$f \approx \frac{1}{R_1 C_1 + R_2 C_2} \quad (7.1)$$

In hochwertigen digitalen Systemen werden quarzstabilisierte Taktgeneratoren verwendet.

Monostabiler Multivibrator (Univibrator)

Die Schaltung des astabilen Multivibrators in Abbildung 7.2 kann leicht in die eines monostabilen Multivibrators übergeführt werden, indem ein RC -Glied durch

¹⁾Der IC SN7414 beinhaltet sechs Negatoren mit Schmitt-Trigger-Eingängen. Der IC SN74132 hat vier NAND-Gatter mit je zwei Schmitt-Trigger-Eingängen. Der IC SN74540 enthält 8 invertierende Bus-Leistungstreiber mit Schmitt-Trigger-Eingängen. Der IC CDC208N ist ein Takttreiber der Taktimpulse auf TTL-Pegeln mit einer Flankendauer von ca. 0,5ns erzeugt bei Ausgangsströmen von 4×40 mA.

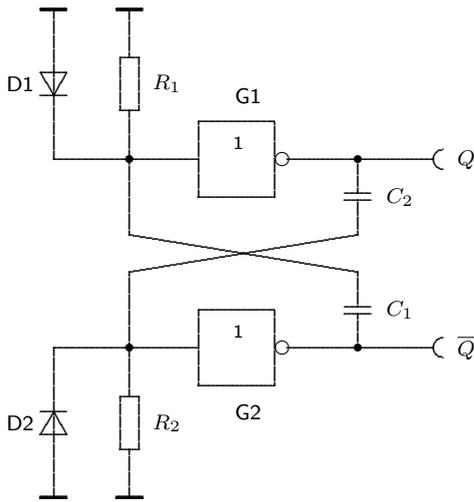


Abb. 7.2: Astabiler Multivibrator mit Gattern (Negatoren)

eine galvanische Kopplung ersetzt wird, wie es die Abbildung 7.3 zeigt.

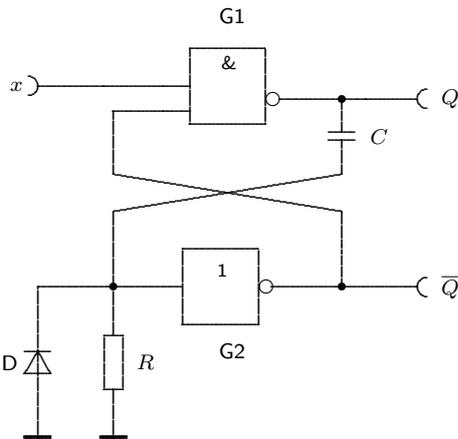


Abb. 7.3: Monostabiler Multivibrator mit zwei Gattern (NAND G1 und Negator G2)

Solange der Eingang x auf 1 liegt, gilt für den Ausgang $Q = 0$ und entsprechend $\bar{Q} = 1$. Springt nun x auf 0, so schaltet das Gatters G1 auf $Q = 1$. Der positive Spannungssprung gelangt über die Kapazität C auf den Eingang des Negators G2. Mit der Zeitkonstanten

$$\tau = RC$$

wird diese Spannung über R abgebaut bis sie die Schaltschwelle von G2 erreicht, bei der \bar{Q} von 0 auf 1 springt.

Solange $\bar{Q} = 0$ gilt, ist $Q = 1$, unabhängig davon, welche Zustände am Eingang x liegen. Erst nach dem Rückkippen des Ausgangs \bar{Q} von 0 nach 1 gewinnt der Eingang wieder an Einfluss: Gilt unmittelbar nach dem

Rückkippen $x = 0$, so bleibt $Q = 1$, und bei $x = 1$ würde Q von 1 auf 0 springen.

Univibratoren werden zur Impulsformung oder als Verzögerungsglied verwendet.

Bistabiler Multivibrator (Flipflop)

Werden beim astabilen Multivibrator in Abbildung 7.2 beide Rückkopplungen galvanisch ausgelegt, so entsteht der bistabile Multivibrator in Abbildung 7.4.

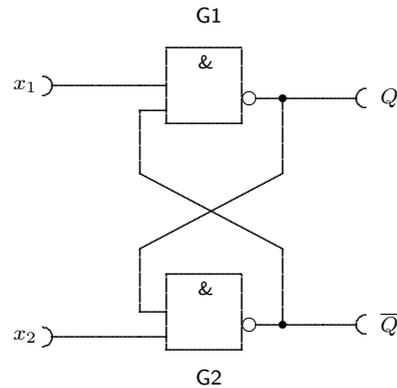


Abb. 7.4: Bistabiler Multivibrator (Basis-Flip-Flop)

Er bildet das Basis-Flipflop (Basis-FF) für komplexere sequentielle Schaltungen. Die Wahrheitstabelle des FF lautet:

x_1	x_2	Q	\bar{Q}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	?	?

Die Ausgänge Q und \bar{Q} sind mit Ausnahme von $x_1 = x_2 = 0$ einander invers. Für $x_1 = x_2 = 1$ gibt es zwei Möglichkeiten: entweder gilt $Q = 0$ und somit $\bar{Q} = 1$ oder umgekehrt. Dieser undefinierte Zustand wird vermieden, wenn das FF invers angesteuert wird, wenn also $x_2 = \bar{x}_1$ gilt.

Entpreller

Mechanische Schalter prellen in Abhängigkeit von ihrer Bauart mehr oder weniger häufig. Steuert man mit ihnen ein Gatter wie in Abbildung 7.5 (oben) an, so hat man in den Schaltphasen keine definierten Eingangszustände, und wegen der hohen Schaltgeschwindigkeit der TTL-Gatter auch keine definierten Ausgangszustände. Mit Hilfe eines FF kann eine einfache Schaltung zur Entprellung aufgebaut werden (Abbildung 7.5 (unten)).

RS-Flipflop

Das Basis-FF in Abbildung 7.4 kann als binärer 1-Bit-Speicher aufgefasst werden, der die einkommende In-

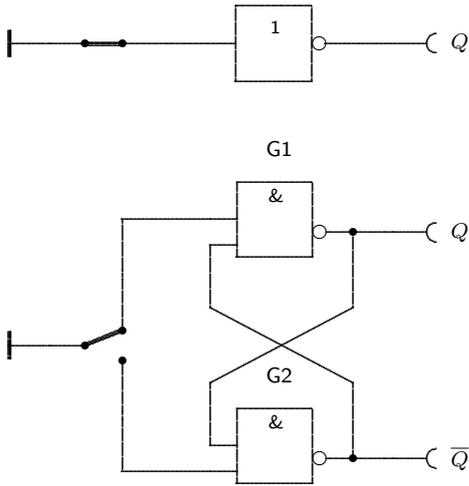


Abb. 7.5: Direkte Ansteuerung eines Gatters mit mechanischem Schalter (oben) und entprellte Variante (unten)

formation ($x_1 = 0$ und $x_2 = 1$ oder umgekehrt) sofort übernimmt. In umfangreicheren Schaltungen möchte man aber die Informationsübernahme steuern. Man benötigt also ein „Tor“, das mit einem Synchronisationsimpuls wahlweise geöffnet werden kann. Ist das Tor geschlossen, so soll die Information gespeichert werden, d.h., der Eingangspegel soll dann irrelevant für den Ausgangszustand Q sein.

Das sogenannte RS-Flipflop („Reset-Set-Flipflop“ (RS-FF)) in Abbildung 7.6 zeigt hierfür eine Möglichkeit auf. Die Gatter G1 und G2 dienen als Tor, das über

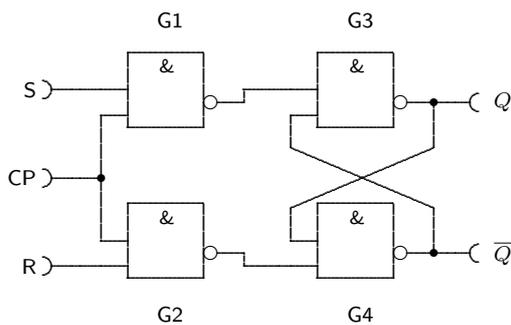


Abb. 7.6: RS-Flip-Flop

den Eingang CP (Takt, „clock pulse“) geöffnet ($CP = 1$) oder geschlossen ($CP = 0$) werden kann. Die Zustandstabelle des RS-FF lautet wie folgt:

S_n	R_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	unzulässig

Wir denken uns den Takteingang CP durch Taktimpulse (kurze High-Impulse) angesteuert. Dann bezeichnet S_n und R_n die Zustände am Setz- bzw. Rücksetzungseingang des RS-FF während des $(n+1)$ -ten Taktes, und Q_n sei der Ausgangszustand nach dem n -ten Takt. Für $S_n = R_n = 0$ liegen die Ausgänge der Tore G1 und G2 auf 1, unabhängig von CP. Folglich bleibt mit der Taktung der Ausgang unverändert: $Q_{n+1} = Q_n$. Für $S_n = \overline{R_n}$ übernimmt das RS-FF mit der Taktung die Eingangsinformation: $Q_{n+1} = S_n$. Der Zustand $S_n = R_n = 1$ ist unzulässig, weil sich dann nach der Taktung am Ausgang Q ein unbestimmter Zustand einstellt, über den zufällige Asymmetrien der Schaltung entscheiden.

Das Schaltsymbol des RS-FF zeigt Abbildung 7.7.

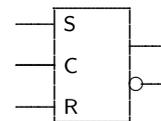


Abb. 7.7: Schaltsymbol des RS-Flip-Flop

D-Flipflop

Beim RS-FF haben wir gesehen, dass die asymmetrische Ansteuerung ($S_n = \overline{R_n}$) von besonderem Interesse ist, denn nur dann kann das FF Information übernehmen. Das D-Flipflop („Delay-Flipflop“) in Abbildung 7.8 entsteht durch leichte Modifikation des RS-FF, indem

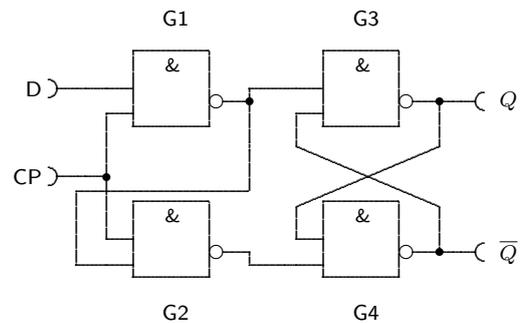


Abb. 7.8: D-Flip-Flop

der Ausgang von G1 auf den R-Eingang geführt wird. Damit werden bei der Taktung ($CP = 1$) die Tor-Gatter G1 und G2 immer invers angesteuert. Der unzulässige Fall $S_n = R_n = 1$ beim RS-FF kann somit beim D-FF niemals auftreten. Hier gilt

$$Q_{n+1} = D_n \text{ ,}$$

das D-FF übernimmt also mit der Taktung die Information D_n . Das Tor ist hier solange geöffnet, wie $CP = 1$

gilt. Man nennt dieses zustandsgesteuerte D-FF auch *Latch*.

Dagegen gibt es auch *einflankengesteuerte (einflankengetriggerte)* D-FF. Hier wird die Eingangsinformation an D mit der Vorderflanke (Low-High-Flanke) des Taktes an CP übernommen. Gilt $CP = 1$ für längere Zeit, also mehr als einige 10ns (etwa TTL-Flankendauer), so ist das Tor wieder geschlossen. Damit unterscheidet sich das *einflankengesteuerte* vom Latch in Abbildung 7.8. Die entsprechenden Schaltsymbole sind in der Abbildung 7.9 dargestellt. Der IC SN7474 enthält



Abb. 7.9: Schaltsymbol des D-Latches (links) und des einflankengesteuerten D-FF (rechts)

zwei einflankengesteuerte D-FF und der IC SN7475 vier D-Latches, wovon jeweils zwei ein gemeinsames Pin für den Takt haben.

Die D-FF im IC SN7474 sind mit zwei zusätzlichen Eingängen ausgestattet: dem Preset- und Clear-Eingängen. Sind diese unbeschaltet oder auf High-Potential, so sind sie bedeutungslos. Mit $Clear = 0$ ($Preset = 1$) wird der Ausgang zurückgesetzt, auf $Q = 0$, und mit $Preset = 0$ ($Clear = 1$) wird der Ausgang gesetzt, auf $Q = 1$. Solange $Clear = 0$ und $Preset = 1$ gilt, folgt $Q = 0$, unabhängig von der Belegung des D-Einganges und des Taktes CP. Entsprechend gilt $Q = 1$ solange $Preset = 0$ und $Clear = 1$, unabhängig von D und CP. Das Schaltsymbol dieses D-FF sowie die Pin-Belegung beim IC SN7474 zeigt die Abbildung 7.10.

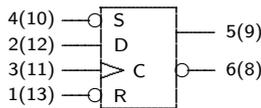


Abb. 7.10: Schaltsymbol eines einflankengetriggerten D-FF mit low-aktivem Setz- und Rücksetzeingang. Die Zahlen geben die Pin-Nummern beim IC SN7474 für das erste (zweite) D-FF an. Die Betriebsspannung liegt zwischen Pin 7 (Masse) und Pin 14 (+5V)

JK-Flipflop

Das JK-Flipflop (JK-FF) enthält zwei RS-FF, den sogenannten Master und den Slave. Der Master übernimmt die Eingangsinformation mit der Vorderflanke (0-1-Flanke) des Taktes und übergibt sie dem Slave mit seiner Rückflanke (1-0-Flanke). Nur die Ausgänge des Slave sind nach außen geführt. Abbildung 7.11 zeigt die Schaltung des JK-FF.

Die Wahrheitstabelle des JK-FF lautet

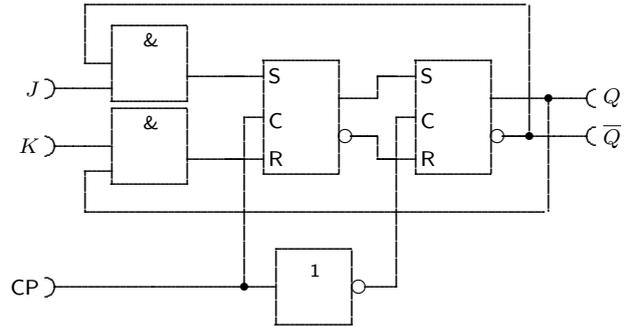


Abb. 7.11: JK-Flip-Flop aus zwei RS-FF und drei Gatter

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Das Schaltsymbol des JK-FF zeigt Abbildung 7.12.

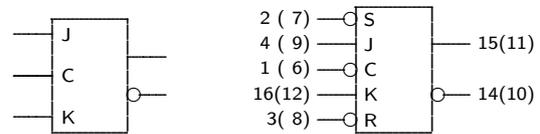


Abb. 7.12: Schaltsymbol des JK-Flip-Flop (links) und eines JK-Flip-Flop mit low-aktivem Setz- und Rücksetzeingang (rechts). Die Zahlen geben die Pin-Nummern beim IC SN7476 für das erste (zweite) JK-FF an. Die Betriebsspannung liegt zwischen Pin 13 (Masse) und Pin 5 (+5V)

Im Unterschied zum RS-FF brauchen die beiden Eingänge des JK-FF nicht notwendig invers angesteuert werden. Für $J = K = 1$ wird mit jedem Taktimpuls des Ausgang negiert. Schaltet man mehrere JK-FF im Modus $J = K = 1$ hintereinander, indem man den Q-Ausgang des einen auf den Clock-Eingang des nächsten führt, so erreicht man mit einem jeden JK-FF eine Halbierung der Taktfrequenz. Interpretiert man die Q-Ausgänge als Binärzahl, so erhält man auf diese Weise einen Zähler für die Taktimpulse am Takt-Eingang des ersten JK-FF. Der schaltungstechnische Aufwand kann dabei gering gehalten werden, indem anstelle einzelner NAND-Gattern integrierte JK-FF verwendet werden. Der IC SN7476 enthält zwei JK-FF mit low-aktiven Setz- und Rücksetzeingängen.

7.2 Versuchsdurchführung

Aufgaben zur Vorbereitung

1. Berechnen Sie die Hysterese des Schmitt-Trigger in Abbildung 7.1.

Versuchsaufgaben

1. Bauen Sie aus dem Standard-TTL-Gatter (SN7400) einen Schmitt-Trigger nach Abbildung 7.1 mit der Hysterese von 0,1 V.
2. Bauen Sie einen astabilen Multivibrator nach Abbildung 7.2 für eine möglichst hohe Frequenz beim Tastverhältnis 1:2. Oszillographieren Sie zeitsynchron die Ein- und Ausgangsspannung eines Gatters.
3. Bauen Sie einen Univibrator nach Abbildung 7.3 für eine Impulsdauer von ca. $10\mu\text{s}$. Steuern Sie die Schaltung mit Rechteckimpulsen im Tastverhältnis (High-/Gesamtdauer) von ca. 8:10 an. Wählen Sie dabei die Grundfrequenzen 5kHz und 50kHz. Oszillographieren Sie zeitsynchron die Ein- und Ausgangsspannung \bar{Q} .
4. Steuern Sie ein NAND-Gatter (IC SN7400) mit einem mechanischen Schalter an. Oszillographieren Sie im Modus „Einzelablenkung (Single Sweep)“ die Ein- und Ausgangsspannung eines NAND-Gatters beim Schalten (Prelleffekt). Bauen Sie mit dem Basis-FF einen Entpreller und oszillographieren Sie die Spannungsverläufe erneut.
5. Bauen Sie ein D-Latch nach Abbildung 7.8. Modifizieren Sie die Schaltung, indem Sie einen Impulsverkürzer aus zwei NAND-Gattern (IC SN7400) vor den Clock-Eingang CP setzen, so dass ein flankengetriggertes D-FF entsteht.
6. Bauen Sie ein JK-FF nach Abbildung 7.11 aus NAND-Gattern (IC SN7400). Verifizieren Sie die Wahrheitstabelle des JK-FF. Takten Sie das JK-FF im Modus $J = K = 1$ mit Frequenzen bis zu 1 MHz und oszillographieren Sie zeitsynchron den Takt und den Q -Ausgang.
7. Bauen Sie mit den JK-FF des IC SN7476 einen zweistufigen Binärzähler. Steuern Sie den Zähler mit Rechteckimpulsen an und oszillographieren Sie zeitsynchron die Zählerausgänge. Untersuchen Sie die Schaltung bei hohen Frequenzen.

Hinweise

1. Bei allen IC muss die Betriebsspannung mit 100nF unmittelbar am IC gepuffert werden.
2. Zur Anzeige logischer Zustände stehen Leuchtdioden zur Verfügung, die mit einem Vorwiderstand von ca. $1\text{k}\Omega$ betrieben werden.

Geräte

Geräteart	Typ	Anzahl
Steckplatine	„Conrads“	1
Stromversorgung	PS 280	1
Oszilloskop	MAMEG HM 1508-2	1
Funktionsgenerator	Textronix AFG 3022B	1

Kapitel 8

Microcontroller

8.1 Grundlagen

Microcontroller sind programmierbare integrierte Schaltkreise (PIC: programmable integrated circuit), die vor allem bei verschiedenen Regelungs- und Steuerungsaufgaben eingesetzt werden. Sie wurden zu Beginn der achtziger Jahre entwickelt und verdrängen zunehmend festverdrahtete logische Schaltungen. Ihre Universalität beruht auf der Programmierbarkeit — Microcontroller sind RISC-Prozessoren (ca. 35 Befehle). Zusammen mit den Ein- und Ausgabeports sowie Daten- und Programmspeicher können sie auch als simple „Einchiprechner“ aufgefasst werden. In Verbindung mit Analog-Digital- und Digital-Analog-Wandlern (ADC bzw. DAC) können sogar einfache Algorithmen zur Online-Signalverarbeitung etwa im Audiobereich realisiert werden. Einige Microcontroller enthalten bereits einen ADC „on chip“. So enthält beispielsweise PIC16F873 einen ADC mit 5 Eingangskanälen und 10 bit Auflösung.

Mit einer Änderung der Software kann die Funktionalität des Microcontrollers immer wieder möglichen neuen Anforderungen angepasst werden. Damit entfallen zumeist recht aufwendige Änderungen der Hardware, was insbesondere bei Geräteentwicklungen von großem Vorteil sein kann.

Als Programm- oder auch Datenspeicher dient ein EPROM¹⁾. EPROMs sind nichtflüchtige Speicher, die ihre Information auch ohne Betriebsspannung mehr als 40 Jahre lang sicher behalten. Sie können mit UV-Licht gelöscht und anschließend erneut beschrieben werden. Dazu muss im Gehäuse des IC ein UV-durchlässiges Fenster eingebracht sein. Bei einigen PIC-Varianten verzichtet man auf das Fenster, wodurch die Herstellungskosten auf ca. 1/5 gesenkt werden können. Allerdings sind diese EPROMs dann nur *einmal* beschreibbar. Besonders in der Entwicklungsphase ist aber die Wiederbeschreibbarkeit der Speicher zumeist unerlässlich. Als kostengünstige Alternative bieten sich hier Microcontroller mit EEPROM²⁾ an. Sie sind bis zu 1 Million mal wiederbeschreibbar und halten gespeicherte Informationen mehr als 10 Jahre lang. Beim sogenannten Flash-PROM (z. B. PIC16F84) ist das Programm wie beim EEPROM zumin-

dest 40 Jahre sicher gespeichert.

8.2 Hinweise zur Versuchsdurchführung

- Die Studenten erhalten eine ausführlichere mündliche Einweisung in die Grundlagen zur Programmierung von Microcontrollern am ersten Nachmittag (4 Stunden).
- In diesem Praktikumsversuch wird mit dem Microcontroller PIC16F84 von der Firma Microchip gearbeitet. Als Entwicklungsumgebung steht das Programmpaket MPLAB sowie die Programmierplatine PICSTART Plus zur Verfügung. Die Programmierplatine wird über eine serielle Schnittstelle eines PC angesteuert (COM*).³⁾
- Als Literatur zum Selbststudium steht das Buch [11] zur Verfügung, sowie das Datenblatt [6], wo u.a. der Befehlssatz beschrieben wird.
- Die Aufgabenstellung kann von den Studenten in Absprache mit dem Praktikumsleiter individuell festgelegt werden. Liegen keine solche Vorschläge seitens der Studenten vor, so wird einer der im Folgenden beschriebenen Versuche durchgeführt.

Geräte

Geräteart	Typ	Anzahl
Steckplatine	„Conrads“	1
PIC-Programmier- u. Testboard		1
Notebook mit Software PicProm		1
PIC-Zubehör		1
Stromversorgung	PS 280	1
Oszilloskop	MAMEG HM 1508-2	1
Funktionsgenerator	Textronix AFG 3022B	1
Multimeter	VOLTCRAFTplus VC 920	2

¹⁾ EPROM: erasable programmable read only memory

²⁾ EEPROM: electrically EPROM. Eine äquivalente Abkürzung ist E²PROM.

³⁾ Interessierten Studenten wird eine Möglichkeit zum Selbstbau einer vollständigen Entwicklungsumgebung aufgezeigt, die sehr kostengünstig ist.

8.3 Steuerung eines Servo-Motors

Problemstellung

Ein Servo-Motor soll mit einer analogen Eingangsspannung U_{EIN} zwischen 0 und 5V angesteuert werden. Der Motor benötigt eine impulsweitenmodulierte Steuerspannung mit folgenden Parametern (Abb. 8.1):

Impulshöhe: +5V (TTL-Level)

Impulzfrequenz: ca. 50Hz

Impulsdauer: variiert von $\tau_{\text{min}} \approx 0,65\text{ms}$ bis $\tau_{\text{max}} \approx 2,75\text{ms}$;

0,65ms \rightarrow Beginn der Auslenkung bei 0° ($U_{\text{EIN}} = 0$);

2,75ms \rightarrow maximale Auslenkung bei $\approx 180^\circ$ ($U_{\text{EIN}} = 5\text{V}$)

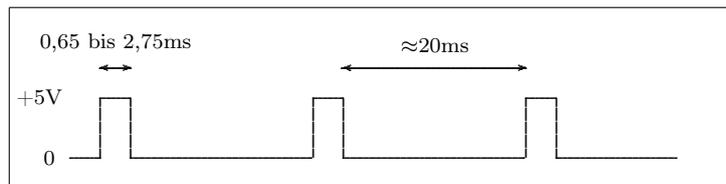


Abb. 8.1: Pulsweitenmodulierte Steuerspannung für den Servo-Motor

Um die Ansteuerung zu realisieren, muss U_{EIN} in die erforderliche Steuerspannung konvertiert werden, so dass für die Impulsdauer

$$\tau = \tau_{\text{min}} + \frac{U_{\text{EIN}}}{5\text{V}} \times (\tau_{\text{max}} - \tau_{\text{min}}) \quad (8.1)$$

gilt.

Lösungsansatz

Die Konvertierung (8.1) soll hier mit Hilfe des 8-Bit-Analog-Digital-Wandlers (ADC) 0804 und des PIC 16F84 realisiert werden (Bild 8.2).

Dabei wird in zwei Stufen vorgegangen:

1. Digitalisierung der Eingangsspannung:

$$U_{\text{EIN}} \rightarrow \hat{U}_{\text{EIN}} .$$

Hier ist \hat{U}_{EIN} ein 8-Bit-Digitalwort, das an den PINS 18..11 des ADC 0804 abgegriffen werden kann.

2. Einlesen des Digitalwortes \hat{U}_{EIN} über PORT B in den PIC. Hier bestimmt es die Verzögerung einer Programm-Schleife, die ihrerseits das Setzen bzw. Rücksetzen von RA0 (PIN 17) verzögert.

Mit RA0 wird direkt der Servo-Motor angesteuert (gelbe Steuerleitung). Über RA1 (PIN 18) liefert der PIC den Takt für den Analog-Digital-Wandler.

Aufgabenstellung

Programmieren Sie den PIC 16F84, so dass dieser die im Bild 8.2 dargestellte Interface-Funktion zur analogen Steuerung eines Servo Motors erfüllt. Machen Sie sich dazu zunächst mit dem Befehlsatz des PIC 16F84 (s. Datenblatt) sowie mit der Entwicklungsumgebung vertraut.

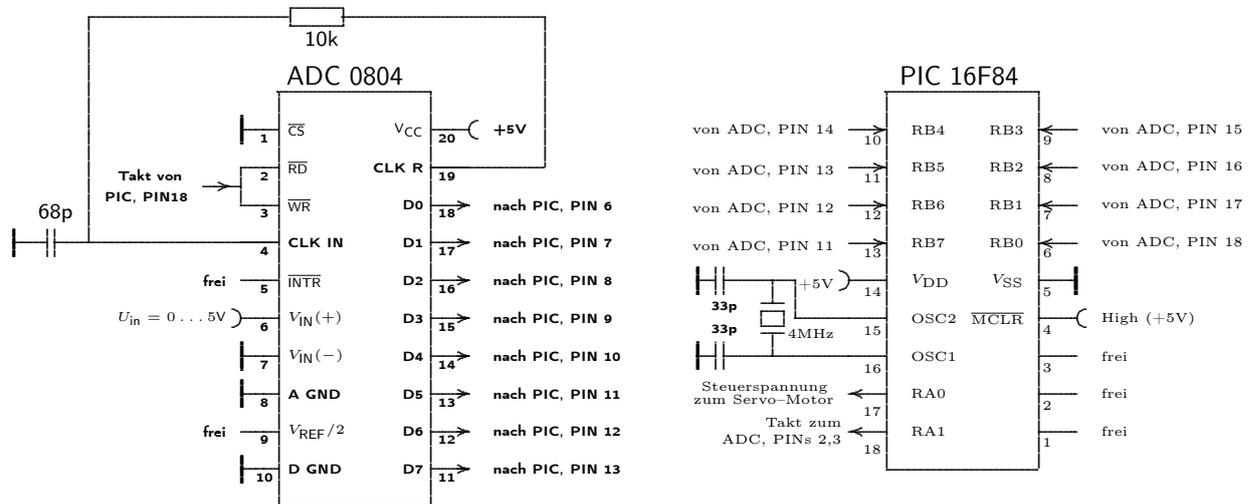


Abb. 8.2: Beschaltung des 8-Bit-Analog-Digitalwändlers ADC0804 und PIC 16F84 für das Interface zur analogen Steuerung eines Servo Motors

8.4 Taktgenerator

Problemstellung

Ein Taktgenerator zur Erzeugung TTL-kompatibler, symmetrischer Rechteckimpulsfolgen gilt es aufzubauen. Der Generator soll möglichst frequenzstabil gegenüber Schwankungen der Betriebstemperatur und der Speisespannung sein. Darüber hinaus soll der Generator in einem weiten Frequenzbereich von ca. 7 Dekaden,

$$10\text{mHz} \lesssim f \lesssim 100\text{kHz} ,$$

in möglichst feinen Schritten durchstimmbar sein.

Lösungsansatz

Der Taktgenerator wird mit dem PIC 16F84 aufgebaut. Um die nötige Frequenzstabilität zu erreichen, wird der PIC mit einem externen Schwingquarz (10 oder 4 MHz) im XT-Modus betrieben (extern crystal/resonator, vgl. Datenblatt S. 36).

Als Taktausgänge dienen die PINs 6..13 (PortB), wobei an $\text{PIN}(n+1)$ der um den Faktor 2 untergesetzte Takt von $\text{PIN}n$ liegen möge ($n = 6, 7, \dots, 12$).

Aufgabenstellung

1. Machen Sie sich dazu zunächst mit dem Befehlsatz des PIC 16F84 vertraut (s. Datenblatt) sowie mit der Entwicklungsumgebung MPLAB.
2. Programmieren Sie den PIC 16F84-04, so dass dieser entsprechend der obigen Problemstellung als Taktgenerator arbeitet.
3. Messen Sie den einstellbaren Frequenzbereich aus.
4. Untersuchen Sie die Langzeitstabilität des Generators.

Teil IV
Anhänge

Kapitel 9

Bauelemente

9.1 Ohmscher Widerstand

Idealer und realer ohmscher Widerstand

Ein idealer *ohmscher Widerstand* ist dadurch gekennzeichnet, dass die über dem Widerstand abfallende elektrische Spannung U linear anwächst mit dem durch den Widerstand fließenden elektrischen Strom I , die Proportionalitätskonstante ist der Widerstandswert R ,

$$U = RI . \quad (9.1)$$

Dies ist das *Ohmsche Gesetz*. Es gilt für einen idealen ohmschen Widerstand auch dann, wenn Strom und Spannung beliebig groß sind oder wenn sie sich mit der Zeit t beliebig ändern,

$$U(t) = R I(t) .$$

Das Schaltsymbol für einen idealen ohmschen Widerstand zeigt Abb. 9.1.

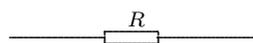


Abb. 9.1: Schaltsymbol für einen idealen ohmschen Widerstand

Ein *realer Widerstand* zeigt bei allzu großen sowie bei sich zeitlich schnell veränderlichen Strömen bzw. Spannungen mehr oder weniger große Abweichungen vom Ohmschen Gesetz (9.1). Das Ersatzschaltbild in Abb. 9.2 erfasst insbesondere das Verhalten realer Widerstände bei schnellen Änderungen von I bzw. U .

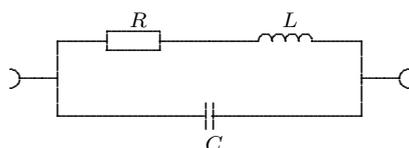


Abb. 9.2: Ersatzschaltbild für einen realen Widerstand

Der „parasitäre Kondensator“ C schließt schnell veränderliche Komponenten von $U(t)$ kurz. Gewissermaßen wird bei hohen Frequenzen der Widerstand kleiner.

Die „parasitäre Induktivität“ L ist besonders groß bei gewickelten Drahtwiderständen, oder auch bei Schichtwiderständen, sofern die Schicht wendelförmig auf einen keramischen Träger aufgebracht ist. Metall- und Kohleschichtwiderständen werden durch Einbrennen solch einer Wendel abgeglichen. Werden ohmsche Widerstände bei sehr hohen Frequenzen benötigt, so sollte eine Widerstandsbauart gewählt werden, bei der die Widerstandsschicht nicht wendelförmig ist. Darüber hinaus sollten die Anschlußdrähte möglichst kurz und wenig gewunden sein.

Temperaturrauschen

Durch die thermische Bewegung von Ladungsträgern (Leitungselektronen) kommt es zu zufälligen elektrischen Spannungstößen zwischen den Enden eines Leiters bzw. Widerstandes. Die resultierende *Rauschspannung* kann als zufälliges, zeitlich schnell veränderliches Signal $U(t)$ zwischen den Enden des Widerstandes R abgegriffen werden. Das unvermeidliche Rauschen begrenzt die Möglichkeiten der Signalübertragung und einer „sinnvollen“ –verstärkung. Rauschspannungen treten nicht nur bei ohmschen Widerständen auf, sondern prinzipiell in allen elektronischen Bauteilen.

Die zufällige Rauschspannung $U(t)$ ist in guter Näherung normalverteilt, mit dem Mittelwert Null und der Standardabweichung σ . Die entsprechende Wahrscheinlichkeits-Verteilungsdichte ist also

$$f_U(u) = \frac{1}{\sqrt{2\pi} \sigma} e^{-\frac{u^2}{2\sigma^2}} . \quad (9.2)$$

NYQUIST berechnete die *effektive thermische Rauschspannung*

$$U_{\text{th}} \equiv \sqrt{\lim_{\Delta t \rightarrow \infty} \frac{1}{\Delta t} \int_0^{\Delta t} U^2(t) dt} . \quad (9.3)$$

Für einen Widerstand R bei der absoluten Temperatur T ist die effektive thermische Rauschspannung in einem beliebigen Frequenzband der Breite B gegeben durch

$$U_{\text{th}} = \sqrt{4kTRB} , \quad (9.4)$$

(Boltzmannkonstante: $k = 1,38 \cdot 10^{-23}$ Ws/K). Für Zimmertemperatur $T = 293\text{K}$ sowie für $R = 1\text{M}\Omega$ und $B = 1\text{MHz}$ erhalten wir

$$U_{\text{th}} \approx 0,127\text{mV} .$$

Bei kleinen Signalen ($< 100\text{mV}$) macht dies immerhin schon mehr als 1‰ der Amplitude des Nutzsignals aus.

Die Energie dieser Rauschspannung verteilt sich homogen im Frequenzbereich. Im obigen Zahlenbeispiel gilt beispielsweise für das untere und obere Halbband, $0 \dots 0,5\text{MHz}$ bzw. $0,5 \dots 1\text{MHz}$, mit jeweils der Bandbreite $B/2 = 0,5\text{MHz}$,

$$U_{\text{th}}(B/2) = \sqrt{4kTRB/2} = \frac{U_{\text{th}}}{\sqrt{2}} .$$

Sind die Rauschspannungen $U_{\text{th},1} \dots U_{\text{th},N}$ in N nicht überlappenden Frequenzbändern gegeben, so berechnet sich die gesamte Rauschspannung nach

$$U_{\text{th}} = \sqrt{U_{\text{th},1}^2 + \dots + U_{\text{th},N}^2} .$$

Sind alle Bandbreiten gleich groß,

$$U_{\text{th}}^* \equiv U_{\text{th},1} = \dots = U_{\text{th},N} ,$$

so folgt,

$$U_{\text{th}} = \sqrt{N} \cdot U_{\text{th}}^* .$$

Man gibt deshalb die Rauschspannung häufig in Einheiten von $\text{V}/\sqrt{\text{Hz}}$ an, und verwendet dann $U_{\text{th}}^* = U_{\text{th}}/\sqrt{B}$ statt U_{th} . In unserem Beispiel ist dann $U_{\text{th}}^* = 0,127\mu\text{V}/\sqrt{\text{Hz}}$.

Wir wollen nun eine Beziehung zwischen der effektiven thermischen Rauschspannung U_{th} und der Standardabweichung σ im Signal $U(t)$ aufzeigen. Da U als normalverteilt angenommen werden kann, und $U(t)$ und $U(t + \tau)$ für $\tau \neq 0$ statistisch unabhängig sind, kann die für $w \geq 0$ definierte Verteilungsdichte von U^2 bestimmt werden,

$$f_{U^2}(w) = \frac{f_U(\sqrt{w})}{\sqrt{w}} = \frac{1}{\sqrt{2\pi w} \sigma} e^{-\frac{w}{2\sigma^2}} .$$

Damit können wir in (9.3) den Grenzwert als Mittelwert der Verteilungsdichte $f_{U^2}(w)$ berechnen („Zeitmittel = Scharmittel“),

$$\lim_{\Delta t \rightarrow \infty} \frac{1}{\Delta t} \int_0^{\Delta t} U^2(t) dt = \int_0^{+\infty} w f_{U^2}(w) dw = \sigma^2 .$$

Die effektive Rauschspannung (9.4) ist also gleich der Standardabweichung σ des nach (9.2) zufällig verteilten Rauschsignals $U(t)$, $\sigma = U_{\text{th}}$.

Die effektive thermische Rauschleistung bestimmt sich aus

$$P_{\text{th}} \equiv U_{\text{th}}^2/R = 4kTB .$$

Die effektive spektrale thermische Rauschleistungsdichte ist dann,

$$P_{\text{th}}^* \equiv P_{\text{th}}/B = 4kT , \quad [P_{\text{th}}^*] = \frac{\text{W}}{\text{Hz}} .$$

Rauschspannung und –leistung hängen nicht vom absoluten Wert der Frequenz ab. Letztlich ist dies Ausdruck dafür, dass im Rauschspannungsverlauf keine statistischen Abhängigkeiten auftreten. Die spektrale Rauschleistungsdichte ist also nach NYQUIST über den ganzen Frequenzbereich konstant (frequenzunabhängig). Man nennt solch ein Signal deshalb *Weisses Rauschen*.

Reale Widerstände zeigen allerdings infolge gewisser Quanteneffekte eine endliche obere Grenzfrequenz von ca. 10GHz bei Zimmertemperatur. Die Stärke des Temperaturrauschens ist auch materialabhängig, was ebenso durch die obigen Formeln nicht erfasst wird. Das führt in der Praxis dazu, dass Metallschichtwiderstände gegenüber Kohleschichtwiderständen ein geringeres Temperaturrauschen zeigen.

Will man das Signal–Rausch–Verhältnis in elektronischen Schaltungen klein halten, so darf man sie nach (9.4) nicht unnötig hochohmig dimensionieren. Umgekehrt werden aber bei einer allzu niederohmigen Dimensionierung andere Fehlerquellen auftreten, die mit der Erhöhung der Verlustleistung und folglich mit einer Temperaturerhöhung der Bauelemente zusammenhängen. Letzteres sollte natürlich auch aus Gründen der Energieersparnis, insbesondere bei batteriebetriebenen Geräten, vermieden werden. Widerstände für größere Verlustleistungen beanspruchen auch mehr Platz auf der Leiterplatte.

Beschriftung

Widerstände werden alphanumerisch beschriftet oder durch einen Farbcode (Farbringe oder –punkte). Bei der alphanumerischen Kennzeichnung wird in der Regel anstelle des Kommas der Multiplikator (Zehnerpotenz) codiert, wie die folgenden Beispiele zeigen:

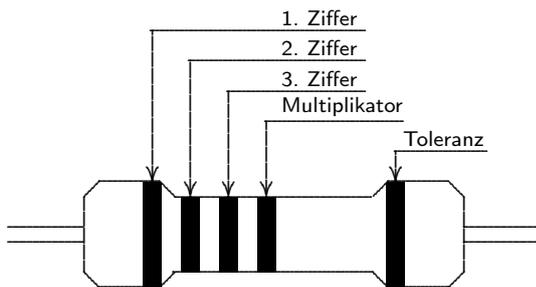
Beschriftungsbeispiel	Widerstandswert
955R	$955 \times 10^0 \Omega$
9k1	$9,1 \times 10^3 \Omega$
13k	$13 \times 10^3 \Omega$
3M0	$3,0 \times 10^6 \Omega$

Die Bedeutung des Farbcodes zeigt Abb. 9.3. Danach würde beispielsweise wie folgt decodiert werden:

1.Zif.	2.Zif.	3.Zif.	Multipl.	Tol.
Gelb	Violett	Schwarz	Braun	Braun
4	7	0	10^1	$\pm 1\%$

Es handelt sich also um einen Widerstandswert von $4,7\text{k}\Omega$, mit einer Toleranz von $\pm 1\%$.

Bei der Interpretation des Farbcodes ist darauf zu achten, dass der Ring zur 3. Ziffer auch fehlen kann. Der Ring zur Toleranz ist dann zumeist weiter zur Mitte hin plaziert. Der erste Ring (1. Ziffer) ist dann jener, der weiter außen angeordnet ist. Bei Angabe aller 5 Ringe ist der Toleranzring mehr oder weniger deutlich von den übrigen Ringen abgesetzt. Besonders bei ungünstigen Einfärbungen des Widerstandskörpers (z. B. mit Blau) sind die



Farbe	Ziffer 1..3	Multiplikator	Toleranz/%
Schwarz	0	10^0	–
Braun	1	10^1	± 1
Rot	2	10^2	± 2
Orange	3	10^3	–
Gelb	4	10^4	–
Grün	5	10^5	$\pm 0,5$
Blau	6	10^6	$\pm 0,25$
Violett	7	10^7	$\pm 0,1$
Grau	8	10^8	–
Weiss	9	10^9	–
Gold	–	10^{-1}	± 5
Silber	–	10^{-2}	± 10
keine	–	–	± 20

Abb. 9.3: Farbkennzeichnung von Widerständen

Farbringe oft schlecht zu erkennen. In diesem Fall empfiehlt es sich, den Widerstand vor seiner Verwendung mit einem Multimeter zur Kontrolle auszumessen.

Baureihen

Festwiderstände werden in genormten Abstufungen hergestellt. Allzu feine Abstufungen sind in der Schaltungspraxis zumeist nicht nötig. Dabei werden sogenannte *E-Baureihen* unterschieden. Die Abstufung in einer Widerstandsdekade n der E6-, E12- und E24-Baureihe zeigt Tab. 9.1.

Noch feinere Abstufungen liefern die Baureihen E48 und E96. Wird dennoch einmal ein in seiner Größe unüblicher (nicht vorhandener) Festwiderstand benötigt, so kann man sich mit einer Reihenschaltung mehrerer Festwiderstände behelfen, oder es wird der Festwiderstand in Reihe mit einem einstellbaren Widerstand (Regelwiderstand oder Potentiometer) betrieben. Einstellbare Widerstände stellen jedoch immer eine zusätzliche Fehlerquelle dar, weil sie sich in der Regel stärker bei Schwankungen von Temperatur und Luftfeuchtigkeit sowie bei mechanischer Beanspruchung ändern. Durch Kapselung u.a. konstruktive Vorkehrungen wird die Stabilität veränderbarer Widerstände verbessert. Allerdings steigt damit auch der Preis. Darüber hinaus nehmen einstellbare Widerstände mehr Platz auf der Leiterplatte in Anspruch.

Tab. 9.1: Vorhandene Nennwerte einer Widerstandsdekade n für verschiedene E-Baureihen

Widerstandswert / $10^n \Omega$	E6	E12	E24
1,0	×	×	×
1,1			×
1,2		×	×
1,3			×
1,5	×	×	×
1,6			×
1,8		×	×
2,0			×
2,2	×	×	×
2,4			×
2,7		×	×
3,0			×
3,3	×	×	×
3,6			×
3,9		×	×
4,3			×
4,7	×	×	×
5,1			×
5,6		×	×
6,2			×
6,8	×	×	×
7,5			×
8,2		×	×
9,1			×

Stabilität realer ohmscher Widerstände

Die Angaben zum Nennwert R eines Widerstandes beziehen sich auf den Zeitpunkt der Anlieferung. Mit ihrer Alterung verändert sich der Nennwert. Für Metallschichtwiderstände gilt für die alterungsbedingte Änderung ΔR_{Alter} des Widerstandswertes pro Jahr

$$-0,005 R + 0,05\Omega \lesssim \Delta R_{\text{Alter}} \lesssim 0,01 R + 0,05\Omega .$$

Die Änderung des Widerstandswertes ΔR_{Temp} bei einer Temperaturänderung ΔT erfolgt im Temperaturbereich $20^\circ\text{C} \dots 70^\circ\text{C}$ gemäß

$$\Delta R_{\text{Temp}} \approx \pm(15 \dots 100) \times 10^{-6} \times R \times \Delta T / K .$$

Danach kann sich also der Widerstand $R = 10\text{k}\Omega$ bei einer Temperaturerhöhung um $\Delta T = 10\text{K}$ um bis zu $\Delta R_{\text{Temp}} = \pm 10\Omega$ ändern.

Metallschichtwiderstände zeigen gegenüber Kohleschichtwiderständen eine bessere Langzeitstabilität. Darüber hinaus sind sie bei vergleichbaren Abmaßen stärker thermisch belastbar. Genaue Angaben finden sich z. B. im *FRIEDRICH Tabellenbuch der Elektronik*, S. 6–5, (s. Literaturverzeichnis).

Im Praktikum verfügbare Widerstände

Im Praktikum steht Ihnen ein Widerstandssortiment folgender Charakteristik zur Verfügung:

Baureihe	E12
Art	Metallschicht
kleinster W.-Wert	12 Ω
größter W.-Wert	1 M Ω
max. Verlustleistung	1/4 \pm 1% W
$\Delta R_{\text{Temp}}/R$	$\approx -10^{-5}/\text{K}$

Literaturempfehlungen: [4, 13, 7]

9.2 Kondensatoren

Idealer und realer Kondensator

Ein Kondensator ist eine Anordnung zur Speicherung von elektrischen Ladungen Q . In elektronischen Schaltungen sind Kondensatoren neben ohmschen Widerständen die wichtigsten passiven Bauelemente. Im einfachsten Fall kann man sich einen Kondensator als zwei Metallplatten vorstellen, die durch ein Dielektrikum voneinander getrennt sind. Bei einem *idealen Kondensator* ruft eine (infinitesimale) Ladungsänderung dQ auf den Platten eine proportionale Änderung dU der zwischen den Kondensatorplatten abfallenden elektrischen Spannung U hervor. Die Proportionalitätskonstante ist der Kapazitätswert C (kurz „Kapazität“ genannt),

$$dQ = C dU . \quad (9.5)$$

Bei einer *idealen Kapazität* ist C für alle Spannungswerte U konstant, und es gilt

$$Q = CU .$$

Die Einheit der Kapazität ist das Farad:

$$1\text{F} = 1\text{As}/\text{V} .$$

Das Schaltsymbol für einen idealen Kondensator zeigt Abb. 9.4.

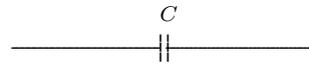


Abb. 9.4: Schaltsymbol für einen idealen Kondensator

Fällt über den Kondensatorplatten die zeitlich veränderliche Spannung $U(t)$ ab, so kann nach (9.5) der momentane elektrische Strom $I \equiv dQ/dt$ auf die Platten berechnet werden,

$$I(t) = C \frac{dU(t)}{dt} .$$

Von besonderem Interesse sind harmonische Spannungsverläufe $U(t) = \hat{U} \cos \omega t$. Für sie folgt für den Strom

$$I(t) = -\omega C \hat{U} \sin \omega t = \omega C U(t + \pi/(2\omega)) .$$

Der Strom ist also auch harmonisch, mit der gleichen Periode $T = 2\pi/\omega$, allerdings eilt er der Spannung in der Phase um $\pi/(2\omega) = T/4$, also um 90° , voraus.

Eine mathematisch elegantere Darstellung gelingt mit einer komplexen Schreibweise. Dazu setzen wir

$$U(t) = \hat{U} e^{j\omega t}$$

und interpretieren bei allen komplexen Größen immer nur den Realteil als physikalisch relevant. Dann folgt

$$U(t) = \frac{1}{j\omega C} I(t) . \quad (9.6)$$

Die Phasenverschiebung zwischen Strom und Spannung wird also durch die imaginäre Einheit

$$j \equiv \sqrt{-1} = e^{j\pi/2}$$

beschrieben. Wegen der Analogie von (9.6) zum ohmschen Gesetz (9.1) wird

$$R_C \equiv \frac{1}{j\omega C}$$

als *komplexer Widerstand der Kapazität C* eingeführt. Somit können wir (9.6) auch wie folgt schreiben,

$$U = R_C I .$$

Dabei darf aber nicht vergessen, dass dieser Zusammenhang nur für harmonisch veränderliche Spannungs- bzw. Stromverläufe gilt, bei der Kreisfrequenz ω .

Das bei realen Kondensatoren verwendete dielektrische Material ist kein idealer elektrischer Isolator. So fließen durch einen realen Kondensator immer auch Ströme bei einer anliegenden Gleichspannung. Darüber hinaus kommt es bei einer anliegenden Wechselspannung

zur Änderung der para- bzw. dielektrischen Polarisationsrichtung im Rhythmus der Spannungswechsel. Dabei wird ein Teil der zugeführten elektrischen Energie in Wärme umgewandelt. All diese Effekte werden näherungsweise durch das Ersatzschaltbild in Abb. 9.5 erfasst.

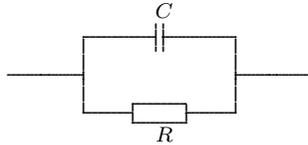


Abb. 9.5: Ersatzschaltbild einer realen Kapazität

Technische Festkondensatoren

Die Kapazität industriell gefertigter Kondensatoren liegt im Bereich von etwa 0,5pF bis 3F.

Besonders große Kapazitätswerte bei relativ kompakter Bauweise werden mit *Keramikkondensatoren* erreicht (0,5pF bis 100nF). Dabei kommen Keramiken wie TiO_2 , MgSiO_2 und MgTiO_3 zum Einsatz, die eine sehr hohe relative Dielektrizitätskonstante haben ($\epsilon_r \approx 2000 \dots 10000$). Allerdings ist die Temperaturstabilität von Keramikkondensatoren vergleichsweise schlecht. Deshalb können sie nur dort eingesetzt werden, wo der genaue Kapazitätswert keine Rolle spielt, wie bei Sieb- und Koppelkondensatoren. Durch eine geschickte Reihen- oder auch Parallelschaltung von Keramikkondensatoren mit negativem und positivem Temperaturkoeffizienten kann die Temperaturstabilität der resultierenden Gesamtkapazität verbessert werden.

Höhere Nennkapazitäten erreicht man mit *Elektrolytkondensatoren*, sogenannten *Elkos* (1...5000 μF). Sie sind in der Regel gepolt, d.h., ein Anschluss, die Anode, muß immer auf einem höheren elektrischen Potential als der andere, die Kathode, liegen. Andernfalls würde eine Deformierung des Elektrolytes eintreten und somit der Kondensator zerstört werden. Elkos haben einen relativ hohen Verlustfaktor, d.h., einen relativ kleinen Widerstand R im Ersatzschaltbild von Abb. 9.5. Der resultierende Reststrom ist zur Regenerierung der dielektrischen Oxidschicht (z. B. Aluminium- oder Tantaloxid) erforderlich. Die Kathode bildet ein mit dem Elektrolyt getränktes Papier. Elkos werden vor allem auch als Siebkondensator verwendet.

Bei *Folienkondensatoren* bestehen die „Kondensatorplatten“ in der Regel aus zylindrisch gewickelter Aluminiumfolie. Um ungewünschte Wickelinduktivitäten möglichst gering zu halten, werden die Stirnseiten durchgehend kontaktiert. Als Dielektrikum dienen z. B. parafingetränktes Papier, Kunststoff oder ein Lackfilm. Folienkondensatoren haben Nennwerte von 10pF...10 μF). Bei vergleichbaren Kapazitätswerten haben sie größere Abmessungen als etwa Keramikkondensatoren. Dafür zeigen sie aber eine bedeutend geringere Drift bei

Temperatur- und Feuchteschwankungen oder auch während des Alterns. Bei besonders hohen Stabilitätsanforderungen werden sie von einem Metallgehäuse geschützt.

Generell wird die Bauweise von Kondensatoren größer, wenn sie für höhere Nennspannungen ausgelegt sind, ebenso wie bei ohmschen Widerständen. Die Abstufung der Nennwerte von Kondensatoren erfolgt bei Nennkapazitäten unter 1 μF entsprechend den Widerstandsbaureihen E6, E12 und seltener auch gemäß E24. Allzu feine Abstufungen der Nennkapazitätswerte sind nicht sinnvoll, weil Kapazitäten eine, im Vergleich zu Widerständen, recht hohe Toleranz von mindestens $\pm 5\%$ haben.

Literaturempfehlungen: [4, 13, 7]

9.3 Aktive Bauelemente

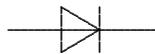
Silizium-Diode SAY 16

Haupt-Verwendungszweck : schneller Schalter

Vergleichstypen : BAY 41 (Siemens), BA 220 (Valvo), BAV 17 (ITT)

Kenndate	Größe	Bemerkung
$U_{r,max}$	30 V	maximale Sperrspannung
I_r	100 pA	Sperrstrom bei Sperrspannung $U_{r,max}$
I_F	300 mA	maximaler Durchlaßstrom
U_F	1 V	Spannungsabfall bei Durchlaßstrom 200 mA
$P_{V,max}$	430 mW	maximaler Verlustleistung bei 25°C

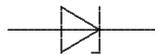
Anschlussbelegung aus Sicht der Anschlussbeine:



ZENER-Diode SZX21/5,1

Kenndate	Größe	Bemerkung
$U_{Z,min}$	4,8 V	minimale Zener-Spannung bei Stromstärke 5mA
$U_{Z,max}$	5,4 V	maximale Zener-Spannung bei Stromstärke 5mA
$P_{V,max}$	250 mW	maximal zulässige Verlustleistung
r_Z	5 Ω	differentieller Zener-Widerstand bei Stromstärke 5mA

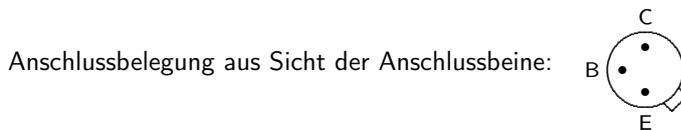
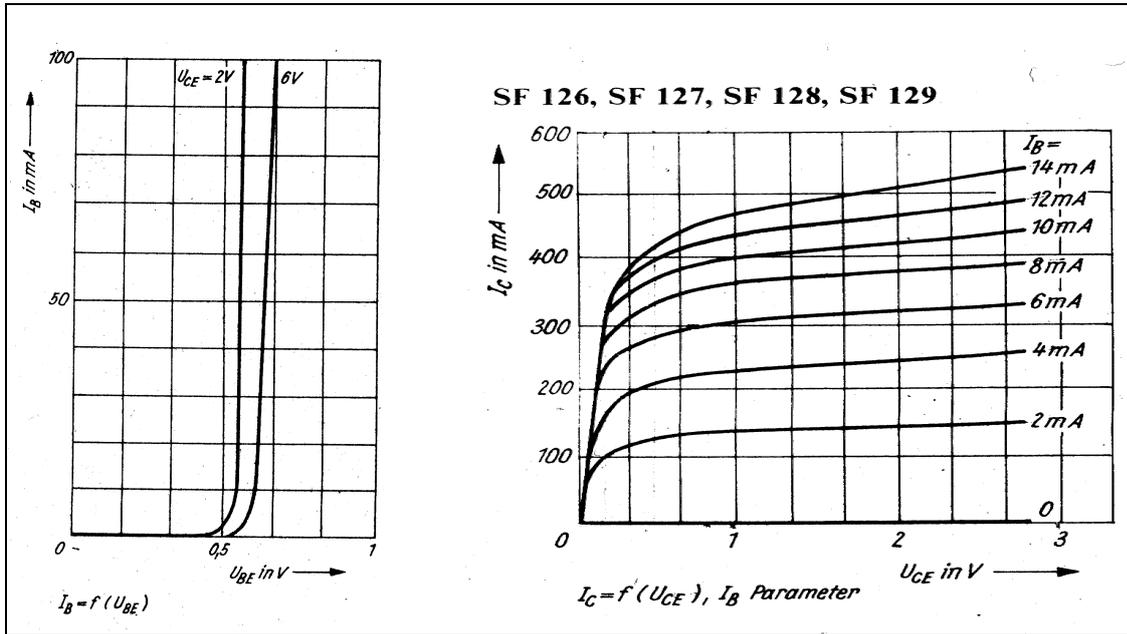
Anschlussbelegung aus Sicht der Anschlussbeine:



Silizium-Kleinsignaltransistoren SF126 bzw. SF129

Anwendungsgebiete: Breitbandverstärker und mittelschnelle Schalter

Kennlinien:



Kenndaten bei Umgebungstemperatur 25°C:

Kenndate	Größe	Bemerkung
$U_{CB,max}$	+33 V (+120V)	maximal zulässige Spannung zwischen Basis und Kollektor bei offenem Emitter vom SF126 (SF129)
$U_{EB,max}$	+7 V	maximal zulässige Spannung zwischen Basis und Emitter
$I_{C,max}$	+500 mA	maximal zulässiger Kollektorstrom
$P_{V,max}$	600 mW	maximal zulässige Verlustleistung
f_T	130 MHz	Transit-Grenzfrequenz, d.h. die Frequenz, bei der die Verstärkung in Emitterschaltung gleich 1 ist
$R_{th,JA}$	250 K/W	Wärmewiderstand zwischen der Sperrschicht (engl.: junction) und der Umgebung (engl.: ambient)

Feldeffekttransistor SM 104

n-Mosfet, selbstleitend (Verarmungstyp) (je stärker negativ die Spannung U_{GS} am Gate gegenüber der Source, desto höher der Drain-Source-Widerstand R_{DS})

Kenndaten bei Umgebungstemperatur 25°C:

Kenndate	Größe	Bemerkung
$U_{DS,max}$	20 V	maximale Drain-Source-Spannung
$I_{D,max}$	15 mA	maximaler Drain-Strom
$U_{GS,min}$	-15 V	minimale Gate-Source-Spannung
$U_{GS,max}$	+5 V	maximale Gate-Source-Spannung
$\Delta I_D / \Delta U_{GS}$	1,3 mA/V	Vorwärtssteilheit
Schwellspannung	-5,5 V	Wert von U_{GS} , bei dem $I_D = 10\mu A$ gilt
$P_{V,max}$	150 mW	maximal zulässige Verlustleistung

Anschlußbelegung (aus Sicht der Anschlußbeine):

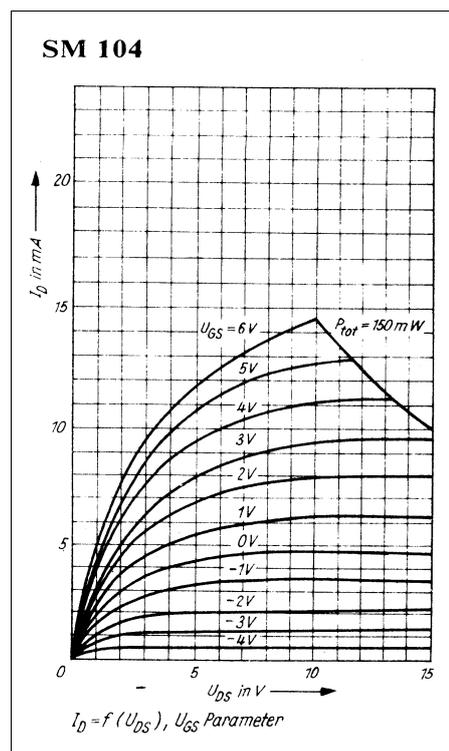


Abb. 9.6: Ausgangskennlinienfeld des MOSFET SM 104

Operationsverstärker LF356N

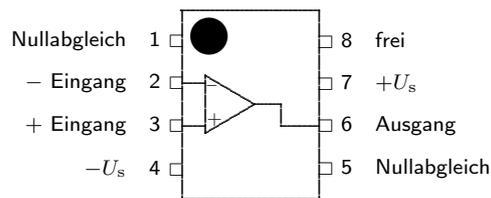
Kurzcharakteristik im Vergleich zu anderen OPV

- großer Eingangswiderstand sowie kleinste Eingangs- und Nullströme durch Verwendung von Sperrschicht-Feldeffekt-Transistoren (p-Kanal junction FET, p-Jfet) am Eingang
- große Bandbreite
- Ausgang kapazitiv hoch belastbar (bis 10nF)
- geringe Temperaturdrift
- große Eingangsspannung (bis zur Speisespannung) zulässig
- interne Frequenzkompensation

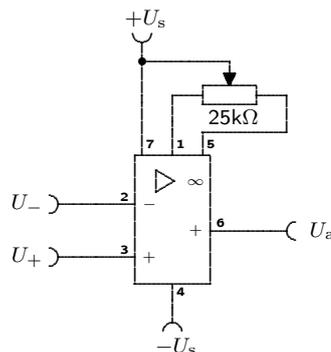
Kenndaten bei Speisespannung $U_s = \pm 15V$ und Umgebungstemperatur $25^\circ C$:

Kenndate / Grenzwerte	Symbol	Einheit	min	typ	max
Speisespannung	U_s	V	5	10..15	18
Stromaufnahme		mA	3,8	4,5	5
maximale Differenzeingangsspannung	U_D	V	0		± 30
maximale Kurzschlußdauer am Ausgang					∞
Eingangsfehlspannung (offset)	U_O	mV		3	10
Temperaturdrift der Eingangsfehlspannung		$\mu V/K$		5	14
Eingangsruhestrom	I_b	pA		30	200
Eingangsoffsetstrom	I_O	pA		3	50
Eingangskapazität		pF		3	
Differenzverstärkung	A_0	dB		80	106
Eingangsgleichtaktspannungsbereich		V		± 12	
Gleichtaktunterdrückung	G	dB	80	100	
Speisespannungsunterdrückung		dB	80	100	
Anstiegsgeschwindigkeit der Ausgangsspannung		V/ μs		12	
Transitfrequenz	f_t	MHz	4,3	5,3	5,9
Verstärkungs-Bandbreite-Produkt (Gleichtakt-)	$A_0 f_g$	MHz		5	
Eingangswiderstand	r_G	Ω		10^{12}	
Ausgangswiderstand	r_a	Ω		100	

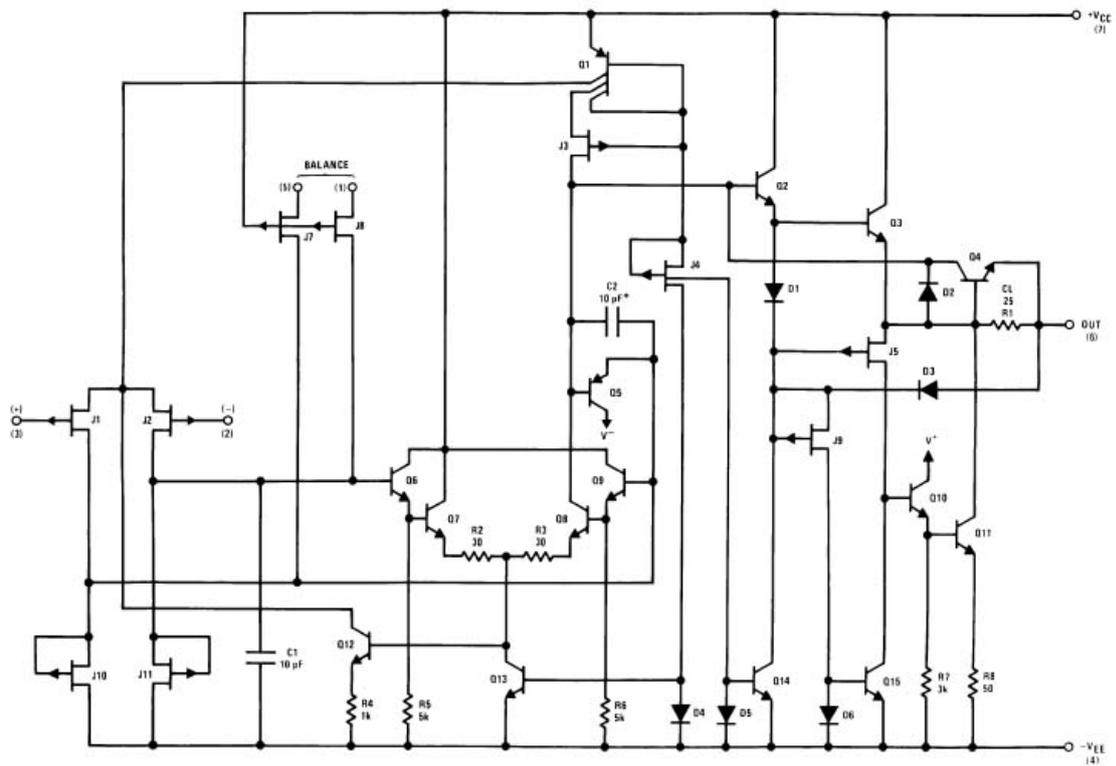
Anschlußbelegung:



Offsetspannungskompensation:



Innere Schaltung des OPV LF356N:



Analog-Digital-Wandler

Philips Semiconductors Linear Products

Product specification

CMOS 8-bit A/D converters

ADC0803/4-1

DESCRIPTION

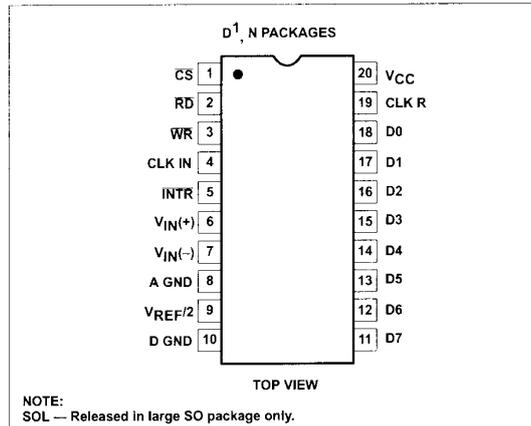
The ADC0803 family is a series of three CMOS 8-bit successive approximation A/D converters using a resistive ladder and capacitive array together with an auto-zero comparator. These converters are designed to operate with microprocessor-controlled buses using a minimum of external circuitry. The 3-State output data lines can be connected directly to the data bus.

The differential analog voltage input allows for increased common-mode rejection and provides a means to adjust the zero-scale offset. Additionally, the voltage reference input provides a means of encoding small analog voltages to the full 8 bits of resolution.

FEATURES

- Compatible with most microprocessors
- Differential inputs
- 3-State outputs
- Logic levels TTL and MOS compatible
- Can be used with internal or external clock
- Analog input range 0V to V_{CC}
- Single 5V supply
- Guaranteed specification with 1MHz clock

PIN CONFIGURATION



APPLICATIONS

- Transducer-to-microprocessor interface
- Digital thermometer
- Digitally-controlled thermostat
- Microprocessor-based monitoring and control systems

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
20-Pin Plastic Dual In-Line Package (DIP)	-40 to +85°C	ADC0803/04-1 LCN	0408B
20-Pin Plastic Dual In-Line Package (DIP)	0 to 70°C	ADC0803/04-1 CN	0408B
20-Pin Plastic Small Outline (SO) Package	0 to 70°C	ADC0803/04-1 CD	1021B
20-Pin Plastic Small Outline (SO) Package	-40 to 85°C	ADC0803/04-1 LCD	1021B

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	Supply voltage	6.5	V
	Logic control input voltages	-0.3 to +16	V
	All other input voltages	-0.3 to ($V_{CC} + 0.3$)	V
T_A	Operating temperature range		°C
	ADC0803/04-1 LCD	-40 to +85	°C
	ADC0803/04-1 LCN	-40 to +85	°C
	ADC0803/04-1 CD	0 to +70	°C
	ADC0803/04-1 CN	0 to +70	°C
T_{STG}	Storage temperature	-65 to +150	°C
T_{SOLD}	Lead soldering temperature (10 seconds)	300	°C
P_D	Maximum power dissipation		
	$T_A = 25^\circ\text{C}$ (still air) ¹		
	N package	1690	mW
	D package	1390	mW

NOTES:

1. Derate above 25°C, at the following rates: N package at 13.5mW/°C; D package at 11.1mW/°C

CMOS 8-bit A/D converters

ADC0803/4-1

DC ELECTRICAL CHARACTERISTICS

$V_{CC} = 5.0V$, $f_{CLK} = 1MHz$, $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	ADC0803/4			UNIT
			Min	Typ	Max	
	ADC0803 relative accuracy error (adjusted)	Full-Scale adjusted			0.50	LSB
	ADC0804 relative accuracy error (unadjusted)	$V_{REF}/2 = 2.500V_{DC}$			1	LSB
R_{IN}	$V_{REF}/2$ input resistance ³	$V_{CC} = 0V^2$	400	680		Ω
	Analog input voltage range ³		-0.05		$V_{CC}+0.05$	V
	DC common-mode error	Over analog input voltage range		1/16	1/8	LSB
	Power supply sensitivity	$V_{CC} = 5V \pm 10\%^1$		1/16		LSB
Control inputs						
V_{IH}	Logical "1" input voltage	$V_{CC} = 5.25V_{DC}$	2.0		15	V_{DC}
V_{IL}	Logical "0" input voltage	$V_{CC} = 4.75V_{DC}$			0.8	V_{DC}
I_{IH}	Logical "1" input current	$V_{IN} = 5V_{DC}$		0.005	1	μA_{DC}
I_{IL}	Logical "0" input current	$V_{IN} = 0V_{DC}$	-1	-0.005		μA_{DC}
Clock in and clock R						
V_{T+}	Clock in positive-going threshold voltage		2.7	3.1	3.5	V_{DC}
V_{T-}	Clock in negative-going threshold voltage		1.5	1.8	2.1	V_{DC}
V_H	Clock in hysteresis (V_{T+})-(V _{T-})		0.6	1.3	2.0	V_{DC}
V_{OL}	Logical "0" clock R output voltage	$I_{OL} = 360\mu A$, $V_{CC} = 4.75V_{DC}$			0.4	V_{DC}
V_{OH}	Logical "1" clock R output voltage	$I_{OH} = -360\mu A$, $V_{CC} = 4.75V_{DC}$	2.4			V_{DC}
Data output and INTR						
V_{OL}	Logical "0" output voltage					
	Data outputs	$I_{OL} = 1.6mA$, $V_{CC} = 4.75V_{DC}$			0.4	V_{DC}
	INTR outputs	$I_{OL} = 1.0mA$, $V_{CC} = 4.75V_{DC}$			0.4	V_{DC}
V_{OH}	Logical "1" output voltage	$I_{OH} = -360\mu A$, $V_{CC} = 4.75V_{DC}$	2.4			V_{DC}
		$I_{OH} = -10\mu A$, $V_{CC} = 4.75V_{DC}$	4.5			
I_{OZL}	3-state output leakage	$V_{OUT} = 0V_{DC}$, $\overline{CS} = \text{logical "1"}$	-3			μA_{DC}
I_{OZH}	3-state output leakage	$V_{OUT} = 5V_{DC}$, $\overline{CS} = \text{logical "1"}$			3	μA_{DC}
I_{SC}	+Output short-circuit current	$V_{OUT} = 0V$, $T_A = 25^\circ C$	4.5	12		mA_{DC}
I_{SC}	-Output short-circuit current	$V_{OUT} = V_{CC}$, $T_A = 25^\circ C$	9.0	30		mA_{DC}
I_{CC}	Power supply current	$f_{CLK} = 1MHz$, $V_{REF}/2 = \text{OPEN}$, $\overline{CS} = \text{Logical "1"}$, $T_A = 25^\circ C$		3.0	3.5	mA

NOTES:

- Analog inputs must remain within the range: $-0.05 \leq V_{IN} \leq V_{CC} + 0.05V$.
- See typical performance characteristics for input resistance at $V_{CC} = 5V$.
- $V_{REF}/2$ and V_{IN} must be applied after the V_{CC} has been turned on to prevent the possibility of latching.

CMOS 8-bit A/D converters

ADC0803/4-1

AC ELECTRICAL CHARACTERISTICS

SYMBOL	PARAMETER	TO	FROM	TEST CONDITIONS	ADC0803/4			UNIT
					Min	Typ	Max	
	Conversion time			$f_{CLK}=1\text{MHz}^1$	66		73	μs
f_{CLK}	Clock frequency ¹				0.1	1.0	3.0	MHz
	Clock duty cycle ¹				40		60	%
CR	Free-running conversion rate			$\overline{CS}=0, f_{CLK}=1\text{MHz}$ INTR tied to WR			13690	conv/s
$t_{W(WR)L}$	Start pulse width			$\overline{CS}=0$	30			ns
t_{ACC}	Access time	Output	\overline{RD}	$\overline{CS}=0, C_L=100\text{pF}$		75	100	ns
t_{1H}, t_{0H}	3-State control	Output	\overline{RD}	$C_L=10\text{pF}, R_L=10\text{k}\Omega$ See 3-State test circuit		70	100	ns
t_{W1}, t_{R1}	INTR delay	INTR	\overline{WD} or \overline{RD}			100	150	ns
C_{IN}	Logic input capacitance					5	7.5	pF
C_{OUT}	3-State output capacitance					5	7.5	pF

NOTES:

1. Accuracy is guaranteed at $f_{CLK}=1\text{MHz}$. Accuracy may degrade at higher clock frequencies.

FUNCTIONAL DESCRIPTION

These devices operate on the Successive Approximation principle. Analog switches are closed sequentially by successive approximation logic until the input to the auto-zero comparator [$V_{IN(+)}-V_{IN(-)}$] matches the voltage from the decoder. After all bits are tested and determined, the 8-bit binary code corresponding to the input voltage is transferred to an output latch. Conversion begins with the arrival of a pulse at the WR input if the CS input is low. On the High-to-Low transition of the signal at the WR or the CS input, the SAR is initialized, the shift register is reset, and the INTR output is set high. The A/D will remain in the reset state as long as the \overline{CS} and WR inputs remain low. Conversion will start from one to eight clock periods after one or both of these inputs makes a Low-to-High transition. After the conversion is complete, the INTR pin will make a High-to-Low transition. This can be used to interrupt a processor, or otherwise signal the availability of a new conversion result. A read (\overline{RD}) operation (with \overline{CS} low) will clear the INTR line and enable the output latches. The device may be run in the free-running mode as described later. A conversion in progress can be interrupted by issuing another start command.

Digital Control Inputs

The digital control inputs (\overline{CS} , WR, \overline{RD}) are compatible with standard TTL logic voltage levels. The required signals at these inputs correspond to Chip Select, START Conversion, and Output Enable control signals, respectively. They are active-Low for easy interface to microprocessor and microcontroller control buses. For applications not using microprocessors, the \overline{CS} input (Pin 1) can be grounded and the A/D START function is achieved by a negative-going pulse to the WR input (Pin 3). The Output Enable function is achieved by a logic low signal at the \overline{RD} input (Pin 2), which may be grounded to constantly have the latest conversion present at the output.

ANALOG OPERATION

Analog Input Current

The analog comparisons are performed by a capacitive charge summing circuit. The input capacitor is switched between $V_{IN(+)}$ and $V_{IN(-)}$, while reference capacitors are switched between taps on the reference voltage divider string. The net charge corresponds to the weighted difference between the input and the most recent total value set by the successive approximation register.

The internal switching action causes displacement currents to flow at the analog inputs. The voltage on the on-chip capacitance is switched through the analog differential input voltage, resulting in proportional currents entering the $V_{IN(+)}$ input and leaving the $V_{IN(-)}$ input. These transient currents occur at the leading edge of the internal clock pulses. They decay rapidly so do not inherently cause errors as the on-chip comparator is strobed at the end of the clock period.

Input Bypass Capacitors and Source Resistance

Bypass capacitors at the input will average the charges mentioned above, causing a DC and an AC current to flow through the output resistance of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN(+)}$ input at full scale. This current can be a few microamps, so bypass capacitors should NOT be used at the analog inputs of the $V_{REF}/2$ input for high resistance sources ($> 1\text{k}\Omega$). If input bypass capacitors are desired for noise filtering and a high source resistance is desired to minimize capacitor size, detrimental effects of the voltage drop across the input resistance can be eliminated by adjusting the full scale with both the input resistance and the input bypass capacitor in place. This is possible because the magnitude of the input current is a precise linear function of the differential voltage.

CMOS 8-bit A/D converters

ADC0803/4-1

Large values of source resistance where an input bypass capacitor is not used will not cause errors as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (< 1k Ω) for a passive RC section or add an op amp active filter (low pass). For applications with source resistances at or below 1k Ω , a 0.1 μ F bypass capacitor at the inputs will prevent pickup due to series lead inductance or a long wire. A 100 Ω series resistor can be used to isolate this capacitor (both the resistor and capacitor should be placed out of the feedback loop) from the output of the op amp, if used.

Analog Differential Voltage Inputs and Common-Mode Rejection

These A/D converters have additional flexibility due to the analog differential voltage input. The $V_{IN(-)}$ input (Pin 7) can be used to subtract a fixed voltage from the input reading (tare correction). This is also useful in a 4/20mA current loop conversion. Common-mode noise can also be reduced by the use of the differential input.

The time interval between sampling $V_{IN(+)}$ and $V_{IN(-)}$ is 4.5 clock periods. The maximum error due to this time difference is given by:

$$V(\max) = (V_P) (2f_{CM}) (4.5f_{CLK}),$$

where:

V = error voltage due to sampling delay

V_P = peak value of common-mode voltage

f_{CM} = common mode frequency

For example, with a 60Hz common-mode frequency, f_{CM} , and a 1MHz A/D clock, f_{CLK} , keeping this error to 1/4 LSB (about 5mV) would allow a common-mode voltage, V_P , which is given by:

$$V_P = \frac{[V(\max)] (f_{CLK})}{(2f_{CM})(4.5)}$$

or

$$V_P = \frac{(5 \times 10^{-3}) (10^4)}{(6.28) (60) (4.5)} = 2.95V$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode voltage levels than this, however.

An analog input span less than the full 5V capability of the device, together with a relatively large zero offset, can be easily handled by use of the differential input. (See Reference Voltage Span Adjust).

Noise and Stray Pickup

The leads of the analog inputs (Pins 6 and 7) should be kept as short as possible to minimize input noise coupling and stray signal pick-up. Both EMI and undesired digital signal coupling to these inputs can cause system errors. The source resistance for these inputs should generally be below 5k Ω to help avoid undesired noise pickup. Input bypass capacitors at the analog inputs can create errors as described previously. Full scale adjustment with any input bypass capacitors in place will eliminate these errors.

Reference Voltage

For application flexibility, these A/D converters have been designed to accommodate fixed reference voltages of 5V to Pin 20 or 2.5V to Pin 9, or an adjusted reference voltage at Pin 9. The reference can be set by forcing it at $V_{REF/2}$ input, or can be determined by the supply voltage (Pin 20). Figure 1 indicates how this is accomplished.

Reference Voltage Span Adjust

Note that the Pin 9 ($V_{REF/2}$) voltage is either 1/2 the voltage applied to the V_{CC} supply pin, or is equal to the voltage which is externally forced at the $V_{REF/2}$ pin. In addition to allowing for flexible references and full span voltages, this also allows for a ratiometric voltage reference. The internal gain of the $V_{REF/2}$ input is 2, making the full-scale differential input voltage twice the voltage at Pin 9.

For example, a dynamic voltage range of the analog input voltage that extends from 0 to 4V gives a span of 4V (4-0), so the $V_{REF/2}$ voltage can be made equal to 2V (half of the 4V span) and full scale output would correspond to 4V at the input.

On the other hand, if the dynamic input voltage had a range of 0.5 to 3.5V, the span or dynamic input range is 3V (3.5-0.5). To encode this 3V span with 0.5V yielding a code of zero, the minimum expected input (0.5V, in this case) is applied to the $V_{IN(-)}$ pin to account for the offset, and the $V_{REF/2}$ pin is set to 1/2 the 3V span, or 1.5V. The A/D converter will now encode the $V_{IN(+)}$ signal between 0.5 and 3.5V with 0.5V at the input corresponding to a code of zero and 3.5V at the input producing a full scale output code. The full 8 bits of resolution are thus applied over this reduced input voltage range. The required connections are shown in Figure 2.

Operating Mode

These converters can be operated in two modes:

- 1) absolute mode
- 2) ratiometric mode

In absolute mode applications, both the initial accuracy and the temperature stability of the reference voltage are important factors in the accuracy of the conversion. For $V_{REF/2}$ voltages of 2.5V, initial errors of ± 10 mV will cause conversion errors of ± 1 LSB due to the gain of 2 at the $V_{REF/2}$ input. In reduced span applications, the initial value and stability of the $V_{REF/2}$ input voltage become even more important as the same error is a larger percentage of the $V_{REF/2}$ nominal value. See Figure 3.

In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter, and, therefore, cancels out in the final digital code. See Figure 4.

Generally, the reference voltage will require an initial adjustment. Errors due to an improper reference voltage value appear as full-scale errors in the A/D transfer function.

ERRORS AND INPUT SPAN ADJUSTMENTS

There are many sources of error in any data converter, some of which can be adjusted out. Inherent errors, such as relative accuracy, cannot be eliminated, but such errors as full-scale and zero scale offset errors can be eliminated quite easily. See Figure 2.

Zero Scale Error

Zero scale error of an A/D is the difference of potential between the ideal 1/2 LSB value (9.8mV for $V_{REF/2}=2.500V$) and that input voltage which just causes an output transition from code 0000 0000 to a code of 0000 0001.

If the minimum input value is not ground potential, a zero offset can be made. The converter can be made to output a digital code of 0000 0000 for the minimum expected input voltage by biasing the $V_{IN(-)}$ input to that minimum value expected at the $V_{IN(-)}$ input to that minimum value expected at the $V_{IN(+)}$ input. This uses the

CMOS 8-bit A/D converters

ADC0803/4-1

differential mode of the converter. Any offset adjustment should be done prior to full scale adjustment.

Full Scale Adjustment

Full scale gain is adjusted by applying any desired offset voltage to $V_{IN(-)}$, then applying the $V_{IN(+)}$ a voltage that is 1-1/2 LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of $V_{REF/2}$ input voltage (or the V_{CC} supply if there is no $V_{REF/2}$ input connection) for a digital output code which just changes from 1111 1110 to 1111 1111. The ideal $V_{IN(+)}$ voltage for this full-scale adjustment is given by:

$$V_{IN(+)} = V_{IN(-)} - 1.5 \times \frac{V_{MAX} - V_{MIN}}{255}$$

where:

V_{MAX} =high end of analog input range (ground referenced)

V_{MIN} =low end (zero offset) of analog input (ground referenced)

CLOCKING OPTION

The clock signal for these A/Ds can be derived from external sources, such as a system clock, or self-clocking can be accomplished by adding an external resistor and capacitor, as shown in Figure 6.

Heavy capacitive or DC loading of the CLK R pin should be avoided as this will disturb normal converter operation. Loads less than 50pF are allowed. This permits driving up to seven A/D converter CLK IN pins of this family from a single CLK R pin of one converter. For larger loading of the clock line, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the CLK R pin.

Restart During a Conversion

A conversion in process can be halted and a new conversion began by bringing the \overline{CS} and \overline{WR} inputs low and allowing at least one of them to go high again. The output data latch is not updated if the conversion in progress is not completed; the data from the previously completed conversion will remain in the output data latches until a subsequent conversion is completed.

Continuous Conversion

To provide continuous conversion of input data, the \overline{CS} and \overline{RD} inputs are grounded and \overline{INTR} output is tied to the \overline{WR} input. This $\overline{INTR}/\overline{WR}$ connection should be momentarily forced to a logic low upon power-up to insure circuit operation. See Figure 5 for one way to accomplish this.

DRIVING THE DATA BUS

This CMOS A/D converter, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry tied to the data bus will add to the total capacitive loading, even in the high impedance mode.

There are alternatives in handling this problem. The capacitive loading of the data bus slows down the response time, although DC specifications are still met. For systems with a relatively low CPU clock frequency, more time is available in which to establish proper logic levels on the bus, allowing higher capacitive loads to be driven (see Typical Performance Characteristics).

At higher CPU clock frequencies, time can be extended for I/O reads (and/or writes) by inserting wait states (8880) or using clock-extending circuits (6800, 8035).

Finally, if time is critical and capacitive loading is high, external bus drivers must be used. These can be 3-State buffers (low power Schottky is recommended, such as the N74LS240 series) or special higher current drive products designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended as the PNP input offers low loading of the A/D output, allowing better response time.

POWER SUPPLIES

Noise spikes on the V_{CC} line can cause conversion errors as the internal comparator will respond to them. A low inductance filter capacitor should be used close to the converter V_{CC} pin and values of 1 μ F or greater are recommended. A separate 5V regulator for the converter (and other 5V linear circuitry) will greatly reduce digital noise on the V_{CC} supply and the attendant problems.

WIRING AND LAYOUT PRECAUTIONS

Digital wire-wrap sockets and connections are not satisfactory for breadboarding this (or any) A/D converter. Sockets on PC boards can be used. All logic signal wires and leads should be grouped or kept as far as possible from the analog signal leads. Single wire analog input leads may pick up undesired hum and noise, requiring the use of shielded leads to the analog inputs in many applications.

A single-point analog ground separate from the logic or digital ground points should be used. The power supply bypass capacitor and the self-clocking capacitor, if used, should be returned to digital ground. Any $V_{REF/2}$ bypass capacitor, analog input filter capacitors, and any input shielding should be returned to the analog ground point. Proper grounding will minimize zero-scale errors which are present in every code. Zero-scale errors can usually be traced to improper board layout and wiring.

APPLICATIONS

Microprocessor Interfacing

This family of A/D converters was designed for easy microprocessor interfacing. These converters can be memory mapped with appropriate memory address decoding for \overline{CS} (read) input. The active-Low write pulse from the processor is then connected to the \overline{WR} input of the A/D converter, while the processor active-Low read pulse is fed to the converter \overline{RD} input to read the converted data. If the clock signal is derived from the microprocessor system clock, the designer/programmer should be sure that there is no attempt to read the converter until 74 converter clock pulses after the start pulse goes high. Alternatively, the \overline{INTR} pin may be used to interrupt the processor to cause reading of the converted data. Of course, the converter can be connected and addressed as a peripheral (in I/O space), as shown in Figure 7. A bus driver should be used as a buffer to the A/D output in large microprocessor systems where the data leaves the PC board and/or must drive capacitive loads in excess of 100pF. See Figure 9.

Interfacing the SCN8048 microcomputer family is pretty simple, as shown in Figure 8. Since the SCN8048 family has 24 I/O lines, one of these (shown here as bit 0 or port 1) can be used as the chip select signal to the converter, eliminating the need for an address

CMOS 8-bit A/D converters**ADC0803/4-1**

decoder. The \overline{RD} and \overline{WR} signals are generated by reading from and writing to a dummy address.

Digitizing a Transducer Interface Output**Circuit Description**

Figure 10 shows an example of digitizing transducer interface output voltage. In this case, the transducer interface is the NE5521, an LVDT (Linear Variable Differential Transformer) Signal Conditioner. The diode at the A/D input is used to insure that the input to the A/D does not go excessively beyond the supply voltage of the A/D. See the NE5521 data sheet for a complete description of the operation of that part.

Circuit Adjustment

To adjust the full scale and zero scale of the A/D, determine the range of voltages that the transducer interface output will take on. Set the LVDT core for null and set the Zero Scale Scale Adjust Potentiometer for a digital output from the A/D of 1000 000. Set the LVDT core for maximum voltage from the interface and set the Full Scale Adjust potentiometer so the A/D output is just barely 1111 1111.

A Digital Thermostat**Circuit Description**

The schematic of a Digital Thermostat is shown in Figure 11. The A/D digitizes the output of the LM35, a temperature transducer IC with an output of 10mV per °C. With $V_{REF}/2$ set for 2.56V, this 10mV corresponds to 1/2 LSB and the circuit resolution is 2°C. Reducing $V_{REF}/2$ to 1.28 yields a resolution of 1°C. Of course, the lower $V_{REF}/2$ is, the more sensitive the A/D will be to noise.

The desired temperature is set by holding either of the set buttons closed. The SCC80C451 programming could cause the desired (set) temperature to be displayed while either button is depressed and for a short time after it is released. At other times the ambient temperature could be displayed.

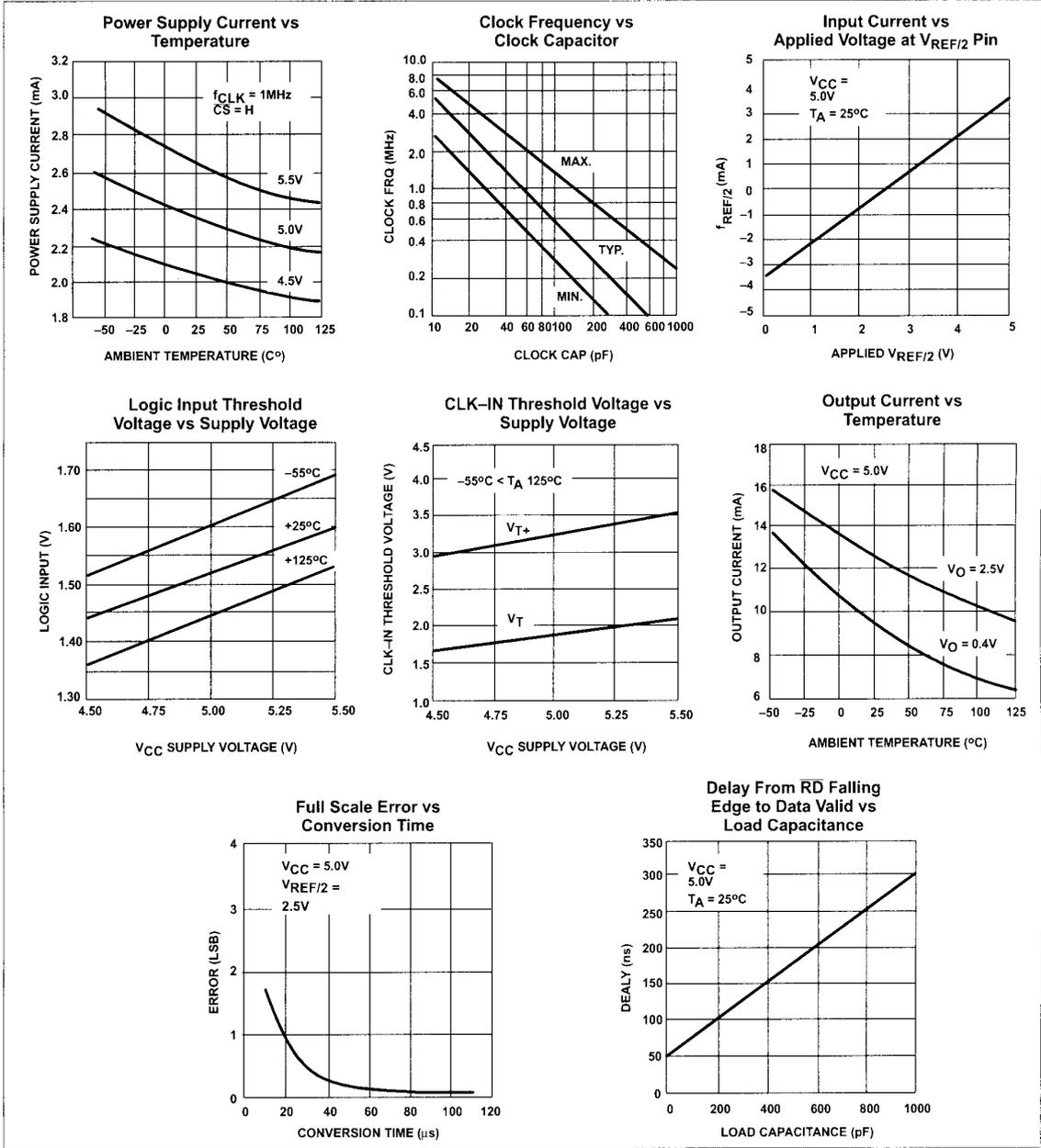
The set temperature is stored in an SCN8051 internal register. The A/D conversion is started by writing anything at all to the A/D with port pin P10 set high. The desired temperature is compared with the digitized actual temperature, and the heater is turned on or off by clearing setting port pin P12. If desired, another port pin could be used to turn on or off an air conditioner.

The display drivers are NE587s if common anode LED displays are used. Of course, it is possible to interface to LCD displays as well.

CMOS 8-bit A/D converters

ADC0803/4-1

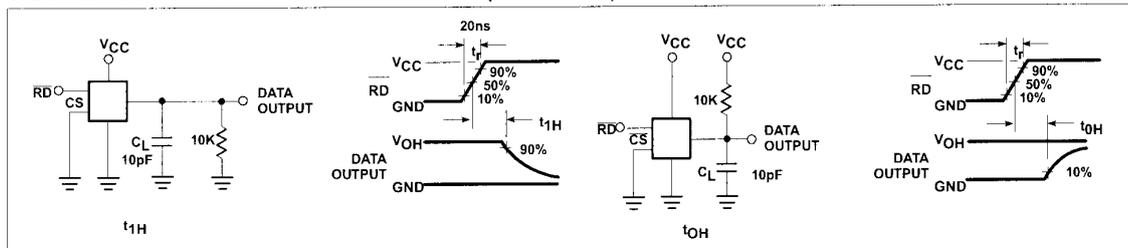
TYPICAL PERFORMANCE CHARACTERISTICS



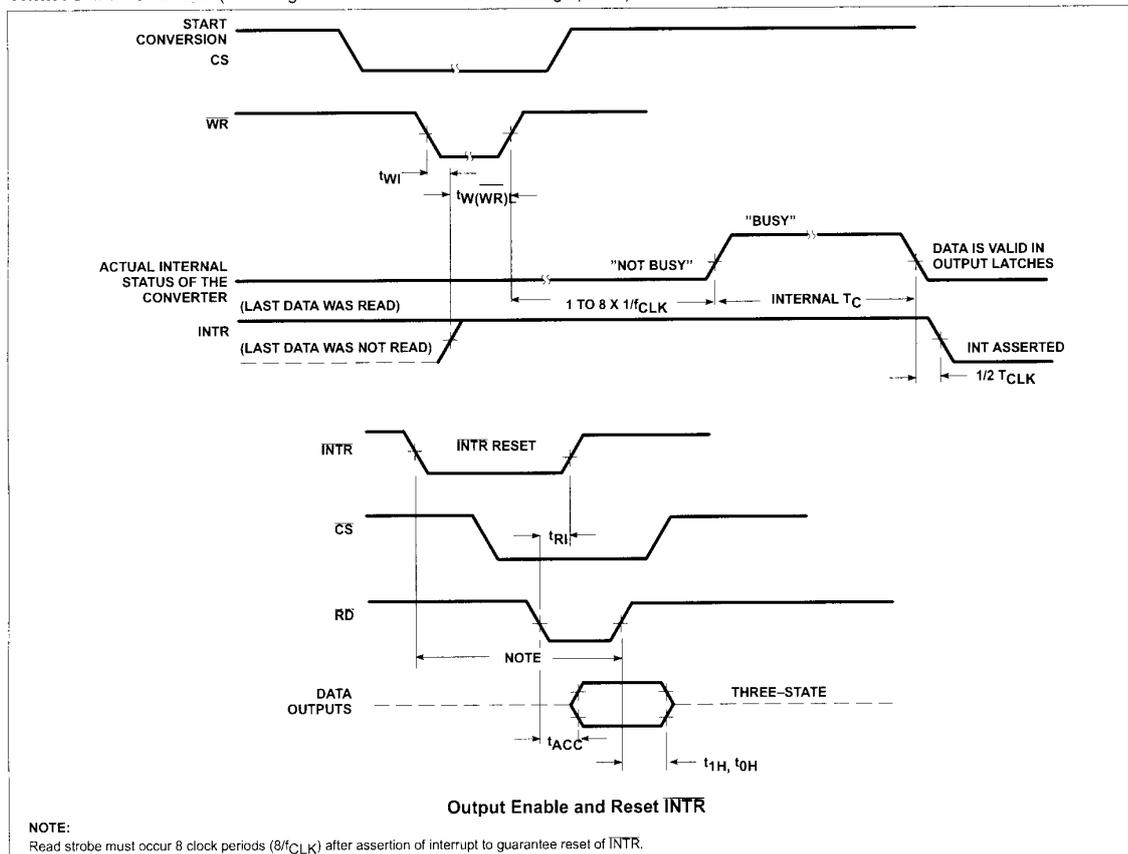
CMOS 8-bit A/D converters

ADC0803/4-1

3-STATE TEST CIRCUITS AND WAVEFORMS (ADC0801-1)



TIMING DIAGRAMS (All timing is measured from the 50% voltage points)



// Bauelemente aktiv

Kapitel 10

Geräte

10.1 Dreifach-Stromversorgungsgerät PS 280 (Tektronik)

	5V, fest	: ≤ 3A
	2 × 0...30V, variabel (abhängig oder unabhängig)	: ≤ 2A

10.2 Digitalmultimeter VC 920 (Votcraft)

Messtoleranzen

Angabe der Genauigkeit in \pm (% der Ablesung (= reading = rdg) + Anzeigefehler in digits (= dgt = Anzahl der kleinsten Stellen)). Die Genauigkeit gilt ein Jahr lang bei einer Temperatur von $+23^{\circ}\text{C} \pm 5^{\circ}\text{C}$, bei einer rel. Luftfeuchtigkeit von kleiner als 75%, nicht kondensierend.

Bereich	Messbereich	Frequenz	Genauigkeit		Auflösung bei 40.000	
			40.000	4.000		
DC / V	400mV		$\pm(0,025\%+10\text{dgt})$	$\pm(0,1\%+5\text{dgt})$	0,01 mV	
	4 V		$\pm(0,08\%+10\text{dgt})$	$\pm 0,2\%+5\text{dgt})$	0,0001 V	
	40 V		$\pm(0,08\%+10\text{dgt})$	$\pm 0,2\%+5\text{dgt})$	0,001 V	
	400 V		$\pm(0,1\%+10\text{dgt})$	$\pm(0,3\%+5\text{dgt})$	0,01 V	
	1000 V		$\pm(0,1\%+10\text{dgt})$	$\pm(0,3\%+5\text{dgt})$	0,1 V	
Überlastschutz: 1000 V; Eingangswiderstand: 400mV = 2,5G Ω / 4V bis 1000V = 10 M Ω						
AC / V	4 V	45Hz~1kHz	$\pm(0,5\%+40\text{dgt})$	$\pm(0,5\%+10\text{dgt})$	0,0001 V	
		1kHz~10kHz	$\pm(2\%+40\text{dgt})$	$\pm(1,5\%+10\text{dgt})$		
		10kHz~120kHz	$\pm(6\%+40\text{dgt})$ (10 - 15% v. MB)	$\pm(4\%+8\text{dgt})$		
			$\pm(3\%+40\text{dgt})$ (15 - 100% v. MB)			
		120kHz~250kHz	$\pm(10\%+40\text{dgt})$ (10 - 30% v. MB)	$\pm(5\%+10\text{dgt})$		
			$\pm(7\%+50\text{dgt})$ (30 - 100% v. MB)			
	40 V	250kHz~400kHz	$\pm(15\%+40\text{dgt})$ (10 - 30% v. MB)	$\pm(12\%+20\text{dgt})$		
			$\pm(12\%+50\text{dgt})$ (30 - 100% v. MB)			
			45Hz~1kHz	$\pm(0,5\%+40\text{dgt})$		0,001 V
			1kHz~10kHz	$\pm(2\%+40\text{dgt})$		
			10kHz~20kHz	$\pm(7\%+40\text{dgt})$		
	20kHz~100kHz	$\pm(8\%+40\text{dgt})$				
	100kHz~400kHz	Nicht spezifiziert	Nicht spezifiziert			
	400 V	45Hz~1kHz	$\pm(0,5\%+40\text{dgt})$		0,01 V	
			1kHz~10kHz	$\pm(6\%+40\text{dgt})$		
	750 V	10kHz~250kHz	Nicht spezifiziert	Nicht spezifiziert	0,1 V	
45Hz~1kHz			$\pm(2\%+40\text{dgt})$			
1kHz~5kHz			$\pm(6\%+40\text{dgt})$			
5kHz~10kHz			$\pm(12\%+40\text{dgt})$			
Überlastschutz: 1000 V; Eingangswiderstand: 10 M Ω Genauigkeit AC TrueRMS: 10 bis 100% v.MB (vom Messbereich) Genauigkeit AC+DC TrueRMS: zusätzlich $\pm(1\% + 30\text{dgt})$ Crest-Factor max. 3 Bei Kurzschluss der Messleitungen Anzeige max. 70 dgt.						

DC/A	400 μ A		$\pm(0,25\%+20\text{dgt})$	$\pm(0,25\%+10\text{dgt})$	0,01 μ A
	4000 μ A		$\pm(1\%+20\text{dgt})$	$\pm(1\%+10\text{dgt})$	0,1 μ A
	40 mA		$\pm(1\%+20\text{dgt})$	$\pm(1\%+10\text{dgt})$	0,001 mA
	400 mA		$\pm(1\%+20\text{dgt})$	$\pm(1\%+10\text{dgt})$	0,01 mA
	10 A		$\pm(2\%+30\text{dgt})$	$\pm(2\%+20\text{dgt})$	0,001 A
Überlastschutz: μ A/mA: 0,5A 250V flinke Sicherung 10 A : 10A 250 V flinke Sicherung Messdauer im 10-A-Bereich: 0 bis 5A Dauermessung, >5A bis 10A max.10 Sek. mit 15 Min. Pause					
AC / A	400 μ A	45Hz~1kHz	$\pm(1\%+20\text{dgt})$	$\pm(1\%+5\text{dgt})$	0,01 μ A
		1kHz~10kHz	$\pm(2\%+40\text{dgt})$	$\pm(2\%+5\text{dgt})$	
	4000 μ A	45Hz~1kHz	$\pm(1\%+20\text{dgt})$	$\pm(1\%+5\text{dgt})$	0,1 μ A
		1kHz~10kHz	$\pm(2\%+40\text{dgt})$	$\pm(2\%+5\text{dgt})$	
	40 mA	45Hz~1kHz	$\pm(1\%+20\text{dgt})$	$\pm(1\%+5\text{dgt})$	0,001 mA
		1kHz~10kHz	$\pm(2\%+40\text{dgt})$	$\pm(2\%+5\text{dgt})$	
	400 mA	45Hz~1kHz	$\pm(1\%+20\text{dgt})$	$\pm(1\%+5\text{dgt})$	0,01 mA
		1kHz~10kHz	$\pm(2\%+40\text{dgt})$	$\pm(2\%+5\text{dgt})$	
	10 A	45Hz~1kHz	$\pm(2\%+20\text{dgt})$	$\pm(1\%+5\text{dgt})$	0,001 A
		1kHz~10kHz	$\pm(5\%+40\text{dgt})$	$\pm(2\%+5\text{dgt})$	
Überlastschutz: μ A/mA 0,5A 250V flinke Sicherung 10 A 10A 250 V flinke Sicherung Messdauer im 10-A-Bereich: 0 bis 5A Dauermessung, >5A bis 10A max.10 Sek. mit 15 Min. Pause Genauigkeit AC TrueRMS: 10 bis 100% v.MB (vom Messbereich) Genauigkeit AC+DC TrueRMS: zusätzlich $\pm(1\% + 30\text{dgt})$ Crest-Factor max. 3					
Leistung	2500W		$\pm(2\%+20\text{dgt})$	$\pm(2\%+5\text{dgt})$	0,1W
Spannung: 190 - 250 V/AC Messdauer bei Leistungsmessung: 0 - bis 1150 W Dauermessung > 1150 W bis 2500 W max. 10Sek. Mit 15 Min. Pause					
Ω	400 Ω			$\pm(0,8\%+20\text{dgt})$	0,1 Ω
	4 k Ω			$\pm(0,5\%+10\text{dgt})$	0,001 k Ω
	40 k Ω			$\pm(0,5\%+10\text{dgt})$	0,01 k Ω
	400 k Ω			$\pm(0,5\%+10\text{dgt})$	0,1 k Ω
	4 M Ω			$\pm(1\%+15\text{dgt})$	0,001 M Ω
	40 M Ω			$\pm(2\%+20\text{dgt})$	0,01 M Ω
Überlastschutz: 1000 V Anzeigeauflösung 4000 Zeichen; nicht umschaltbar Durchgangsprüfer: akustisches Signal bei Widerständen <50 Ω					
Diodentest	Prüfspannung max. 2,8 V; Prüfstrom ca. 1mA				0,0001V
Kapazität	40 nF		$\pm(1\%+20\text{dgt})$	$\pm(1\%+10\text{dgt})$	0,001 nF
	400 nF		$\pm(1\%+20\text{dgt})$	$\pm(1\%+10\text{dgt})$	0,01 nF
	4 μ F		$\pm(1\%+20\text{dgt})$	$\pm(1\%+10\text{dgt})$	0,0001 μ F
	40 μ F		$\pm(1\%+20\text{dgt})$	$\pm(1\%+10\text{dgt})$	0,001 μ F
	400 μ F		$\pm(1\%+20\text{dgt})$	$\pm(1\%+10\text{dgt})$	0,01 μ F
	4 mF		$\pm(5\%+20\text{dgt})$	$\pm(5\%+10\text{dgt})$	0,0001 mF
	40 mF		Nicht spezifiziert	Nicht spezifiziert	0,001 mF
Überlastschutz: 1000 V					

Frequenz	4 kHz		$\pm(0,1\%+8\text{dgt})$	$\pm(0,1\%+5\text{dgt})$	0,0001 kHz
	40 kHz		$\pm(0,1\%+8\text{dgt})$	$\pm(0,1\%+5\text{dgt})$	0,001 kHz
	400 kHz		$\pm(0,1\%+8\text{dgt})$	$\pm(0,1\%+5\text{dgt})$	0,01 kHz
	4 MHz		$\pm(0,1\%+8\text{dgt})$	$\pm(0,1\%+5\text{dgt})$	0,0001 MHz
	40 MHz		$\pm(0,1\%+8\text{dgt})$	$\pm(0,1\%+5\text{dgt})$	0,001 MHz
	400 MHz		$\pm(0,1\%+8\text{dgt})$	$\pm(0,1\%+5\text{dgt})$	0,01 MHz
Überlastschutz: 1000 V Messempfindlichkeit: 10 Hz bis 40 MHz : 200 mV > 40 MHz nicht spezifiziert					
Temperatur	-40 bis +40 °C		$\pm(3\%+30\text{dgt})$	$\pm(3\%+10\text{dgt})$	0,1 °C
	+40 bis +400 °C		$\pm(1\%+30\text{dgt})$	$\pm(1\%+1\text{dgt})$	
	+400 bis +1000 °C		$\pm 2,5\%$	$\pm 2,5\%$	
Überlastschutz: 1000 V Der beiliegende Draht-Thermofühler kann nur bis max. +230 °C verwendet werden!					
4-20 mA			$\pm(1\%+50\text{dgt})$	$\pm(1\%+5\text{dgt})$	0,01%
Duty Cycle	10Hz - 2 KHz				

10.3 Digitalspeicher- und Analogoszilloskop HM1508-2 (HAMEG Instruments)

Kanalzahl	: 2 + 2 Logik-Kanäle	
max. Analog-Bandbreite	: 2 mal 150 MHz	
max. Abtastrate je Kanal	: 10 GSa/s	1)
Speichertiefe	: 4MSa/Kanal	
Amplitudenaufösung	: 8 Bit (25 Niveaus pro Teilstrich)	

10.4 Funktionsgenerator (Arbitrary Function Generator) AFG 3022B (Tektronix)

Grenzfrequenz	: 0,0001Hz ... 25 MHz (Sinus, Rechteck)	2)
Anzahl Kanäle	: 2	

¹⁾ Ausführliche Beschreibung auf USB-Stick am Arbeitsplatz.

²⁾ Ausführliche Beschreibung auf USB-Stick am Arbeitsplatz.

Kapitel 11

Elemente der Aussagenlogik

11.1 Logische Funktionen

In der zweiwertigen Logik hat eine Variable x nur einen von zwei möglichen Werten, die wir mit „0“ und „1“ bezeichnen und als „falsch“ bzw. „wahr“ interpretieren.¹⁾ Eine Abbildung

$$y = f(x_1, x_2, \dots, x_n), \quad (11.1)$$

die den logischen Variablen x_1, x_2, \dots, x_n den logischen Wert $y \in \{0, 1\}$ zuordnet, heisst *logische Funktion* oder auch *logische Verknüpfung*. Eine solche Verknüpfung kann z. B. durch eine *Wertetabelle (Wahrheitstafel)* definiert werden. Weil eine jede unabhängige Variable x_i nur zwei mögliche Werte annehmen kann, hat diese Wertetabelle genau 2^n viele Zeilen, wenn in den $n + 1$ Spalten die Variablen x_1, x_2, \dots, x_n sowie der Funktionswert y aufgetragen werden,

x_1	x_2	\dots	x_i	\dots	x_n	y	(11.2)
0	0	\dots	0	\dots	0	b_1	
1	0	\dots	0	\dots	0	b_2	
\dots	\dots	\dots	\dots	\dots	\dots	\dots	
a_{1j}	a_{2j}	\dots	a_{ij}	\dots	a_{nj}	b_j	
\dots	\dots	\dots	\dots	\dots	\dots	\dots	
1	1	\dots	1	\dots	1	b_{2^n}	

Hier sind die Funktionswerte b_j wiederum entweder 0 oder 1. Folglich lassen sich mit n Eingangsvariablen genau 2^{2^n} viele verschiedene Funktionen realisieren.

Bei nur einer Eingangsvariablen x gibt es vier mögliche Funktionen. Wichtig ist für uns vor allem die

$$\text{Negation : } \bar{x} \equiv \begin{cases} 1 & : x = 0 \\ 0 & : x = 1 \end{cases} \quad (11.3)$$

¹⁾ Diese Interpretation und die Verwendung der Zeichen „0“ und „1“ ist für die digitale Schaltungstechnik eigentlich bedeutungslos. Dadurch vereinfacht aber zuweilen die Sprechweise, und bei einigen logischen Funktionen hat dieses Vorgehen mnemotechnische Bedeutung, was weiter unten noch erläutert wird.

Wesentlich ist vielmehr, dass mit Folgen von „0“ und „1“ Information gespeichert werden kann, und deren Umformung in andere Folgen von „0“ und „1“ ist eine Art der Informationsverarbeitung.

Anstelle der Zeichen „0“ und „1“ verwenden einige Autoren auch „L“ und „H“ (aus: „Low“ und „High“) oder „O“ und „L“. Wir werden ausschließlich 0 und 1 (ohne Anführungszeichen) verwenden. Verwechslungen dieser Ziffern mit den entsprechenden Zahlenwerten werden durch den Kontext ausgeschlossen.

Bei zwei Eingangsvariablen gibt es schon 16 mögliche Funktionen. Allerdings haben in der Schaltungstechnik vor allem nur die Folgenden Bedeutung:

Konjunktion :

$$x_1 \cdot x_2 \equiv \begin{cases} 1 & : x_1 = x_2 = 1 \\ 0 & : \text{sonst} \end{cases} \quad (11.4)$$

Disjunktion :

$$x_1 + x_2 \equiv \begin{cases} 0 & : x_1 = x_2 = 0 \\ 1 & : \text{sonst} \end{cases} \quad (11.5)$$

In der Schreibweise der Wahrheitstabellen lauten diese Funktionen

<i>Konjunktion</i>			<i>Disjunktion</i>		
x_1	x_2	$x_1 \cdot x_2$	x_1	x_2	$x_1 + x_2$
0	0	0	0	0	0
1	0	0	1	0	1
0	1	0	0	1	1
1	1	1	1	1	1

Die Konjunktion heisst auch UND- und AND-*Verknüpfung*. Sie liefert den Wert „wahr“ nur dann, wenn beide Operanden x_1 und x_2 „wahr“ sind. Damit entspricht sie unserem aus der Alltagssprache vertrauten „und“. Der *Funktor* der konjunktiven Verknüpfung ist der Punkt „·“. Andere Schreibweisen sind

$$x_1 \wedge x_2 \equiv x_1 x_2 \equiv x_1 \cdot x_2 \quad .$$

Wir verwenden den Punkt, der wie bei der Multiplikation in der Zahlenarithmetik auch weggelassen werden kann. Diese Analogie ist aber noch weitreichender, können wir doch bei Verwendung der Zeichen 0 und 1 die Konjunktion $x_1 x_2$ wie in der Zahlenarithmetik bestimmen: *Ein Produkt wird 0, wenn zumindest ein Faktor 0 ist.*

Die Disjunktion heisst auch ODER- und OR-*Verknüpfung*. Sie liefert den Wert „falsch“ nur dann, wenn beide Operanden „falsch“ sind. Damit entspricht sie dem „oder“ der Umgangssprache. Der hier verwendete Funktor der disjunktiven Verknüpfung ist das Pluszeichen „+“. Eine andere Schreibweise ist

$$x_1 \vee x_2 \equiv x_1 + x_2.$$

Mit dem Plus-Zeichen wird wiederum eine gewisse Analogie zur Zahlenarithmetik erreicht: *Eine Summe von nicht negativen Summanden wird positiv, wenn zumindest ein Summand nicht 0 ist.* Die Analogie ist nur insofern nicht vollständig, als in der Zahlenarithmetik Summen größer als 1 werden können, wohingegen hier $1 + 1 = 1$ gilt.

Unsere Umgangssprache kennt noch die Formulierung *entweder ... oder ...*. Dieser entspricht in der Aussagenlogik die Operation

$$\text{Antivalenz: } x_1 \oplus x_2 \equiv \begin{cases} 0 & : x_1 = x_2 \\ 1 & : \text{sonst} \end{cases} \quad (11.6)$$

Sie heisst auch *Exklusiv-Oder*.

Werden die Operationen Konjunktion und Negation hintereinander ausgeführt, so heisst die Funktion insgesamt *Shefferscher Strich* oder üblicher *NAND-Verknüpfung*. Eine Disjunktion mit anschließender Negation heisst *Nicodsche Funktion* oder üblicher *NOR-Verknüpfung*.

Die AND- sowie OR-Verknüpfung wird für mehr als zwei Variable definiert als

$$x_1 \cdot x_2 \cdot \dots \cdot x_n \equiv \begin{cases} 1 & : x_1 = x_2 = \dots = x_n = 1 \\ 0 & : \text{sonst} \end{cases},$$

beziehungsweise als

$$x_1 \vee x_2 \vee \dots \vee x_n \equiv \begin{cases} 0 & : x_1 = x_2 = \dots = x_n = 0 \\ 1 & : \text{sonst} \end{cases}.$$

11.2 Rechnen mit logischen Variablen

Alle logischen Funktionen, auch solche in mehr als zwei Variablen, lassen sich auf einige wenige zurückführen, z. B. allein auf die Negation und Konjunktion. Beispielsweise gilt für die Antivalenz:

$$\begin{aligned} x_1 \oplus x_2 &= x_1 \overline{x_2} + \overline{x_1} x_2 & (11.7) \\ &= \overline{\overline{x_1 \overline{x_2} + \overline{x_1} x_2}} \end{aligned}$$

Beim Rechnen mit logischen Variablen gelten die folgenden Gesetze:

Kommutatives Gesetz:

$$x_1 x_2 = x_2 x_1 \quad (11.8)$$

$$x_1 + x_2 = x_2 + x_1 \quad (11.9)$$

Assoziatives Gesetz:

$$(x_1 x_2) x_3 = x_1 (x_2 x_3) \quad (11.10)$$

$$(x_1 + x_2) + x_3 = x_1 + (x_2 + x_3) \quad (11.11)$$

Distributives Gesetz:

$$x_1 (x_2 + x_3) = x_1 x_2 + x_1 x_3 \quad (11.12)$$

$$(x_1 + x_2)(x_1 + x_3) = x_1 + x_2 x_3 \quad (11.13)$$

Weitere Regeln sind:

Absorptionsgesetz:

$$x_1(x_1 + x_2) = x_1 \quad (11.14)$$

$$x_1 + x_1 x_2 = x_1 \quad (11.15)$$

Tautologie:

$$x x = x \quad (11.16)$$

$$x + x = x \quad (11.17)$$

Gesetz für die Negation:

$$x \overline{x} = 0 \quad (11.18)$$

$$x + \overline{x} = 1 \quad (11.19)$$

Negation der Negation:

$$\overline{(\overline{x})} = x \quad (11.20)$$

De Morgans Gesetze:

$$\overline{x_1 + x_2} = \overline{x_1} \overline{x_2} \quad (11.21)$$

$$\overline{x_1 x_2} = \overline{x_1} + \overline{x_2} \quad (11.22)$$

Operationen mit 0 und 1:

$$1 \cdot x = x \quad (11.23)$$

$$0 + x = x \quad (11.24)$$

$$0 \cdot x = 0 \quad (11.25)$$

$$1 + x = 1 \quad (11.26)$$

$$\overline{0} = 1 \quad (11.27)$$

$$\overline{1} = 0 \quad (11.28)$$

Die aus der Zahlenalgebra bekannte Regel „Punkt- geht vor Strichrechnung“ lautet hier „UND- geht vor ODER-Verknüpfung“. Die Regeln (11.13), (11.14), (11.15), (11.16), (11.17) und (11.26) gelten in der Zahlenalgebra nicht, wohingegen alle anderen Regeln in der Zahlenalgebra ihr Analogon haben, vorausgesetzt, die Negation wird wie in (11.27) und (11.28) definiert.

Eine weitere nützliche Regel ist die von SHANNON,

$$f(x_1, x_2, \dots, x_n, +, \cdot) = \overline{\overline{f(\overline{x_1}, \overline{x_2}, \dots, \overline{x_n}, \cdot, +)}} \quad (11.29)$$

Sie besagt, dass der logische Wert einer Funktion von n logischen Variablen unverändert bleibt, wenn man jede Variable negiert, Konjunktionen in Disjunktionen überführt und umgekehrt sowie schließlich noch den gesamten Term negiert. Bei dieser Umformung muss allerdings die Klammersetzung beachtet werden, so dass die Disjunktionen im Term auf der rechten Seite von (11.29) Vorrang haben. Im Falle der Antivalenz bedeutet das z. B.

$$\begin{aligned} x_1 \oplus x_2 &= \overline{\overline{\overline{x_1} x_2 + x_1 \overline{x_2}}} \\ &= \overline{(x_1 + \overline{x_2}) \cdot (\overline{x_1} + x_2)} \\ &\neq \overline{x_1 + \overline{x_2} \cdot \overline{x_1} + x_2} = 0 \end{aligned}$$

Die Gesetze von DE MORGAN (11.21) und (11.22) sind Spezialfälle der Regel (11.29) von SHANNON.

11.3 Normalformen

Hat man eine Wahrheitstabelle (11.2) gegeben, so ist dadurch eine logische Funktion eindeutig definiert. Für die schaltungstechnische Realisierung dieser Funktion ist aber häufig eine Darstellung (11.1) vorzuziehen, wohingegen für die Definition logischer Funktionen Wahrheitstabellen recht bequem sind. Folglich besteht die Aufgabe, aus einer gegebenen Tabelle die Funktionsdarstellung (11.1) zu entwickeln, und zwar unter Verwendung der „Standardoperationen“ Negation, Konjunktion und Disjunktion. Dafür gibt es die beiden folgenden Verfahren:

1. **Konjunktive Normalform:** Zur j -ten Zeile in der Wahrheitstabelle (11.2) bildet man den Term

$$z_j = \begin{cases} 1 & : b_j = 1 \\ (z_{1j} + \dots + z_{ij} + \dots + z_{nj}) & : b_j = 0, \end{cases}$$

mit

$$z_{ij} = \begin{cases} \bar{x}_i & : a_{ij} = 1 \\ x_i & : a_{ij} = 0. \end{cases}$$

Die gesuchte Funktion ist dann

$$y = z_1 \cdot \dots \cdot z_j \cdot \dots \cdot z_{2^n}. \quad (11.30)$$

Wegen der Regel (11.23) kann man alle Terme mit $z_j = 1$ weglassen und erhält dann die sogenannte *konjunktive Normalform*.

2. **Disjunktive Normalform:** Zur j -ten Zeile in der Wahrheitstabelle (11.2) bildet man den Term

$$z_j = \begin{cases} 0 & : b_j = 0 \\ z_{1j} \cdot \dots \cdot z_{ij} \cdot \dots \cdot z_{nj} & : b_j = 1, \end{cases}$$

mit

$$z_{ij} = \begin{cases} \bar{x}_i & : a_{ij} = 0 \\ x_i & : a_{ij} = 1. \end{cases}$$

Die gesuchte Funktion ist dann

$$y = z_1 + \dots + z_j + \dots + z_{2^n}. \quad (11.31)$$

Bei Beachtung der Regel (11.24) fallen alle Terme mit $z_j = 0$ weg und man erhält dann die sogenannte *disjunktive Normalform*.

Als Beispiel betrachten wir die Antivalenz (11.6). Deren Wahrheitstabelle lautet

x_1	x_2	$x_1 \oplus x_2$
0	0	0
1	0	1
0	1	1
1	1	0

Aus der ersten und letzten Zeile erhalten wir die konjunktive Normalform

$$x_1 \oplus x_2 = (x_1 + x_2)(\bar{x}_1 + \bar{x}_2). \quad (11.32)$$

Die disjunktive Normalform ergibt sich aus der zweiten und dritten Zeile und entspricht der Darstellung in (11.7). Wendet man hier zweimal die Shannonsche Regel (11.29) an, so erhält man

$$\begin{aligned} x_1 \oplus x_2 &= x_1\bar{x}_2 + \bar{x}_1x_2 \\ &= (\bar{x}_1 + x_2) \cdot (x_1 + \bar{x}_2) \\ &= x_1x_2 + \bar{x}_1\bar{x}_2 \\ &= (x_1 + x_2)(\bar{x}_1 + \bar{x}_2). \end{aligned}$$

Die disjunktive und konjunktive Darstellung der Antivalenz (11.7) bzw. (11.32) sind also gleichwertig. Die Äquivalenz der entsprechenden Darstellungsformen trifft auch für beliebige andere Funktionen zu. Um bei der Aufstellung einer Normalform von vornherein möglichst wenig Terme zu bekommen, sollte man die konjunktive Form wählen, wenn in der Wahrheitstabelle mehr Zeilen mit Funktionswerten 0 auftreten und die disjunktive Form im umgekehrten Fall. In unserem Beispiel der Antivalenz war es freilich gleich.

Hat man nun aus der Wahrheitstabelle die konjunktive oder disjunktive Normalform abgeleitet, so kann man in der Regel die Ausdrücke noch verkürzen. Unser Anliegen ist es im Allgemeinen, möglichst kleine Terme zu erhalten, wird doch dann ihre schaltungstechnische Umsetzung am billigsten. Bei dieser Kürzung sind die folgenden Regeln nützlich: Sind x und y zwei beliebige logische Variable, so gelten

$$\begin{aligned} xy + \bar{x}y &= (x + \bar{x}) \cdot y \\ &= 1 \cdot y \\ &= y \end{aligned} \quad (11.33)$$

und

$$\begin{aligned} (x + y)(\bar{x} + y) &= x\bar{x} + xy + \bar{x}y + yy \\ &= 0 + (x + \bar{x})y + y \\ &= y. \end{aligned} \quad (11.34)$$

Die letztere Gleichung kann bei der Kürzung in einer konjunktiven Normalform (11.30) angewandt werden — kommen in (11.30) zwei Terme, z. B. z_1 und z_2 ,²⁾ derart vor, dass der eine in den anderen durch Negation einer Variable entsteht, so bleibt von z_1z_2 nur der in beiden Termen gleichermaßen vorkommende Anteil übrig. Gilt z. B. $z_1 = (x_1 + x_2 + x_3)$ und $z_2 = (x_1 + \bar{x}_2 + x_3)$, so liefert die Kürzungsregel (11.34) $z_1z_2 = x_1 + x_3$. Hingegen ist die Regel (11.33) bei der Kürzung in einer disjunktiven Normalform (11.31) hilfreich. Gilt z. B. $z_1 = x_1x_2x_3$ und $z_2 = x_1\bar{x}_2x_3$, so liefert sie $z_1z_2 = x_1x_3$.

11.4 Karnaugh-Tafeln

Die sogenannten Karnaugh-Tafeln sind neben den Wahrheitstabellen (11.2) und den Normalformen eine

²⁾Bei der Aufstellung geeigneter Term-paare z_1z_2 kann von der Kommutativität (11.8) Gebrauch gemacht werden.

dritte Möglichkeit der Darstellung einer logischen Funktion. Sie werden vor allem bei 3 oder 4 Eingangsvariablen angewandt, wenngleich bis zu 6 Eingangsvariable mit ihnen behandelbar sind.³⁾

In einer Karnaugh-Tafel wird die Wahrheitstabelle nur anders geschrieben, indem die Funktionswerte in einer Matrix angeordnet werden, so dass sich bei Übergängen von einem Matrixfeld zu benachbarten jeweils nur *eine* Eingangsvariable verändert. Der Grund für diese Anordnung liegt in den Kürzungsregeln (11.33) bzw. (11.34). Aus solchen Tafeln kann man *sofort* gekürzte disjunktive oder konjunktive Normalformen ablesen. Grundsätzlich gibt es mehrere Möglichkeiten der Anordnung, die aber alle schließlich auf dieselbe logische Funktion führen.

Zur Erläuterung betrachten wir eine konkrete Funktion $y = f(x_1, x_2, x_3, x_4)$ mit der Wahrheitstabelle

Zeile	x_1	x_2	x_3	x_4	y
0	0	0	0	0	1
1	1	0	0	0	0
2	0	1	0	0	1
3	1	1	0	0	1
4	0	0	1	0	0
5	1	0	1	0	1
6	0	1	1	0	1
7	1	1	1	0	1
8	0	0	0	1	1
9	1	0	0	1	1

Eine zugehörige Karnaugh-Tafel ist z. B. die folgende:

x_1x_2 x_3x_4	00	01	11	10
00	1	1	1	0
01	1	*	*	1
11	*	*	*	*
10	0	1	1	1

Die Funktion ist nur für 10 der insgesamt 16 möglichen Variationen der unabhängigen Variablen x_1, \dots, x_4 definiert. An den nicht erklärten Stellen sind sogenannte „don't-care-Felder“ mit „*“ gekennzeichnet. Sie können bei den folgenden Ausführungen wahlweise mit 0 oder 1 belegt werden. Wichtig für die Anordnung ist, dass sich beim *horizontalen* Übergang von einer Spalte zur benachbarten und ebenso beim *vertikalen* Übergang von einer Zeile zur benachbarten immer nur eine Eingangsvariable ändert. Diagonale Übergänge sind nicht gestattet, allerdings solche von der 1. zur 4. Zeile innerhalb einer Spalte und von der 1. zur 4. Spalte innerhalb einer Zeile.

³⁾ Bei mehr als 6 Variablen kommen in der Regel rechnergestützte Verfahren zur Anwendung.

Zunächst wollen wir aus der Tafel eine disjunktive Form ableiten. Dazu müssen wir nach den obigen Ausführungen alle Felder mit $y = 1$ betrachten. Wir beginnen mit den beiden Feldern „1. Spalte“, „1. und 2. Zeile“. Sie liefern

$$\overline{x_1} \overline{x_2} \overline{x_3} \overline{x_4} + \overline{x_1} \overline{x_2} \overline{x_3} x_4 = \overline{x_1} \overline{x_2} \overline{x_3}. \quad (11.35)$$

Die beiden Terme auf der linken Seite würden wir auch bei der Aufstellung der disjunktiven Normalform aus der 1. und 9. Zeile der Wahrheitstabelle erhalten. Der gekürzte Term auf der rechten Seite von (11.35) kann aber aus der Karnaugh-Tafel *sofort* abgelesen werden, weil sich von der 1. zur 2. Zeile nur x_4 ändert, so dass wir die Kürzungsregel (11.33) anwenden können. Analog könnte man mit anderen „Zweiern“ verfahren. Nehmen wir z. B. die 1 aus der 2. Spalte und 1. Zeile sowie das *-Feld darunter, welches wir 1 setzen können. Dann erhalten wir sofort den Term $\overline{x_1} x_2 \overline{x_3}$. Diesen können wir nun wiederum mit der rechten Seite von (11.35) kürzen, denn

$$\overline{x_1} \overline{x_2} \overline{x_3} + \overline{x_1} x_2 \overline{x_3} = \overline{x_1} \overline{x_3}.$$

Aus den vier Feldern links oben in der Tafel bleibt also nur der 2er-Term $\overline{x_1} \overline{x_3}$ übrig, der alle Variablen enthält, welche sich in den vier Feldern links oben nicht ändern.

Noch günstiger wird es, wenn wir einen „Achter“ fänden, der aus zwei vollständigen benachbarten Zeilen oder Spalten besteht, die nur Einsen und *-Felder enthalten. Dies trifft hier für die 2. und 3. Zeile zu. Sie liefern den Term x_4 . Einen weiteren „Achter“ bilden die 2. und 3. Spalte. Er liefert x_2 . Schließlich merken wir an, dass Felder auch mehrfach verwendet werden können. Insgesamt lesen wir aus der Karnaugh-Tafel

$$y = \overline{x_1} \overline{x_3} + x_1 x_3 + x_2 + x_4. \quad (11.36)$$

Eine gekürzte konjunktive Normalform erhält man, indem man von den Nullen in der Karnaugh-Tafel ausgeht. Man findet dann links unter einen Zweier und recht oben einen Einer, so dass

$$y = (x_1 + x_2 + \overline{x_3})(\overline{x_1} + x_2 + x_3 + x_4)$$

folgt. Dieser Ausdruck lässt sich noch weiter vereinfachen.

Literaturverzeichnis

- [1] Böhmer, Erwin (1998):
Elemente der angewandten Elektronik
(Vieweg, Braunschweig/Wiesbaden, 11. Auflage)
(Eine kompakte praxisnahe Darstellung von Basiswissen zur Elektronik: Passive und aktive Bauelemente sowie Schaltungen. 1. Auflage 1979.)
- [2] Dostál J. (1989):
Operationsverstärker
(Dr. Alfred Hüthing Verlag, Heidelberg) oder (VEB Verlag Technik, Berlin)
(Eine sehr detaillierte Darstellung auf mehr als 350 Seiten. Vor allem für weiterführende Studien geeignet.)
- [3] Horowitz P., W. Hill (1997, 2000):
Die Hohe Schule der Elektronik,
Teile 1 (2000) und 2 (1997) (Elektor-Verlag, Aachen)
- [4] Lipsmeier A., A. Teml (Hrsg.) (1989):
FRIEDRICH Tabellenbuch der Elektronik (Ferd. Ümmler's Verlag, Bonn)
- [5] Nührmann D. (1989):
Das große Werkbuch Elektronik, Teil B, 5. Auflage
(Franzis-Verlag GmbH, München)
(Eine Darstellung aus der Sicht des Praktikers.)
- [6] MICROSHIP (1996):
Datenblatt PIC16F8x — 8-Bit CMOS Flash/EEPROM Microcontrollers
- [7] Rost A. (1986):
Grundlagen der Elektronik,
(Akademie-Verlag, Berlin)
(Eine gelungene Einführung in die Elektronik, vom Physiker speziell für Physikstudenten. Bei der ersten Auflage von 1983 hat jedoch der Druckfehlerteufel zugeschlagen.)
- [8] Schröder H., Feldmann G., Rommel G. (1972):
Elektrische Nachrichtentechnik, Band III
(Verlag für Radio-Foto-Kinotechnik GmbH, Berlin)
(Eine alte, aber nicht in jeder Hinsicht veraltete Darstellung — sehr detailliert.)
- [9] Schwetlick, Horst, und Werner Kessel (1992):
Elektronikpraktikum für Naturwissenschaftler
(Vieweg, Braunschweig/Wiesbaden)
(Eines der wenigen *Praktikumsbücher* zur Elektronik.)
- [10] Seifart M. (1988):
Digitale Schaltungen,
VEB Verlag Technik, Berlin 1988.
(Eine relativ detaillierte Darstellung. Auch spätere Auflagen.)
- [11] Thieser M., Finkler A. (1998):
PIC-Controller: Hardwarebeschaltung — Programmieren — Arbeiten mit der Experimentierplatine (Franzis, Poing)

- [12] Tietze U., Schenk Ch. (1991):
Halbleiter-Schaltungstechnik, 9. Auflage
(Springer-Verlag, Berlin)
(Ein Klassiker zur Halbleiter-Schaltungstechnik, der durch seine Didaktik besticht und seit 1969 immer wieder neu aufgelegt wurde.
Umfangreiche Überarbeitungen späterer Auflagen garantieren seine Aktualität.)
- [13] Völz H. (1979):
Elektronik (Akademie-Verlag, Berlin)